

大規模集積回路の製造起因故障  
ならびに大量解析技術に関する研究

2010 年 8 月

福 本 晃 二

大規模集積回路の製造起因故障  
ならびに大量解析技術に関する研究

大分大学大学院工学研究科  
博士後期課程  
博士論文

2010年8月

福本晃二

## 目次

第1章	序論	・・・1
1.1	LSIの市場動向	・・・1
1.2	LSIの技術動向	・・・2
1.3	本研究の目的	・・・3
1.4	本研究の内容と本論文の構成	・・・3
参考文献		・・・4
第2章	LSIの故障箇所絞り込み技術と物理解析技術	・・・5
2.1	序	・・・5
2.2	ハードによる故障箇所絞り込み技術	・・・7
2.2.1	EBT(電子ビームテスト)	・・・8
2.2.2	PEM(発光解析)	・・・9
2.2.3	OBIRCH(レーザビーム加熱抵抗変動法)	・・・10
2.2.4	SPM(走査プローブ顕微鏡)	・・・11
2.2.4.1	接合リーク故障解析への適用事例	・・・13
2.2.4.2	ゲート酸化膜リーク故障解析への適用事例	・・・16
2.2.5	ナノプローバ	・・・19
2.3	物理解析技術	・・・21
2.3.1	SEM(走査電子顕微鏡)	・・・22
2.3.2	TEM(透過電子顕微鏡)	・・・23
2.3.3	FIB(集束イオンビーム)	・・・25
2.3.4	FIBを用いたTEM試料作製	・・・26
2.3.5	元素分析	・・・30
2.3.6	SCM(走査容量顕微鏡)	・・・31
2.3.7	SSRM(走査広がり抵抗顕微鏡)	・・・33
2.3.8	応力評価技術	・・・35
2.3.9	エネルギーフィルタTEM	・・・40
参考文献		・・・44

第3章	メモリ LSI の大量故障解析技術開発と適用評価	・・・47
3. 1	序	・・・47
3. 2	メモリデバイス対応の故障解析	・・・48
3. 2. 1	メモリデバイスの概要	・・・48
3. 2. 2	FBM(フェイルビットマップ)解析	・・・50
3. 3	従来の FBM 解析による故障モード分類方法	・・・52
3. 4	複数 FBM による故障モード分類方法	・・・54
3. 4. 1	複数 FBM を用いた故障モード分類について	・・・54
3. 4. 2	複数 FBM による故障モード分類の自動解析システムの構築	・・・55
3. 5	複数 FBM による故障モード分類の適用事例	・・・57
3. 6	まとめ	・・・63
参考文献		・・・64
第4章	STI 製造工程のシリコン中の応力評価とトランジスタ特性への影響調査	・・・66
4. 1	序	・・・66
4. 2	実験	・・・66
4. 2. 1	評価試料の概要	・・・66
4. 2. 2	トランジスタテスト構造の電気特性計測と構造解析	・・・68
4. 3	シミュレーション	・・・70
4. 4	実験結果	・・・71
4. 4. 1	トランジスタ特性	・・・71
4. 4. 2	トランジスタの構造解析とひずみ測定	・・・73
4. 5	シミュレーション結果	・・・78
4. 6	考察	・・・82
4. 7	結論	・・・84
参考文献		・・・85

第5章	Cu 汚染起因ピット故障の評価技術と Cu 汚染対策	・・・89
5. 1	序	・・・89
5. 2	実験	・・・90
5. 2. 1	Cu デコレーション法と構造解析による故障部同定	・・・90
5. 2. 2	電氣的測定によるデバイス特性への影響調査	・・・91
5. 2. 3	Cu 汚染／ピット故障対策効果確認のための構造解析	・・・91
5. 3	結果と考察	・・・92
5. 3. 1	Cu デコレーション法による評価結果	・・・92
5. 3. 2	Cu 汚染／ピット故障の影響と改善	・・・95
5. 3. 3	Cu 汚染／ピット故障の改善メカニズム	・・・97
5. 4	結論	・・・101
参考文献		・・・102
第6章	結論	・・・103
謝辞		・・・105
業績目録		・・・106

## 第1章 序論

### 1.1 LSIの市場動向

WSTS(World Semiconductor Trade Statistics:世界半導体市場統計)の2010年春季発表にて、図1-1に示す半導体市場(ディスクリート、オプトエレクトロニクス、センサ、ICの合計)の地域別(日本・米州・欧州・アジアパシフィック)の推移が報告された。横軸は西暦で、2004年から2012年の期間が対象となっている。なお、2010年から2012年までの3年間については予測である。縦軸は金額を示しており、単位は百万ドルである。図中の帯グラフにおいて、下からアメリカ、ヨーロッパ、日本、アジア・パシフィックの内訳となっている。図1-1によれば、2004年に世界市場の約40%の占有率が2008年には50%に増加しており、アジア・パシフィックでの半導体製品の市場の伸びが大きいことが分かる。今後もアジア・パシフィックでの市場占有率が増加することが予想されている。一方、世界市場を全体的に見れば、2009年に市場の底を迎えるが、2010年以降は市場の回復が予想されている。

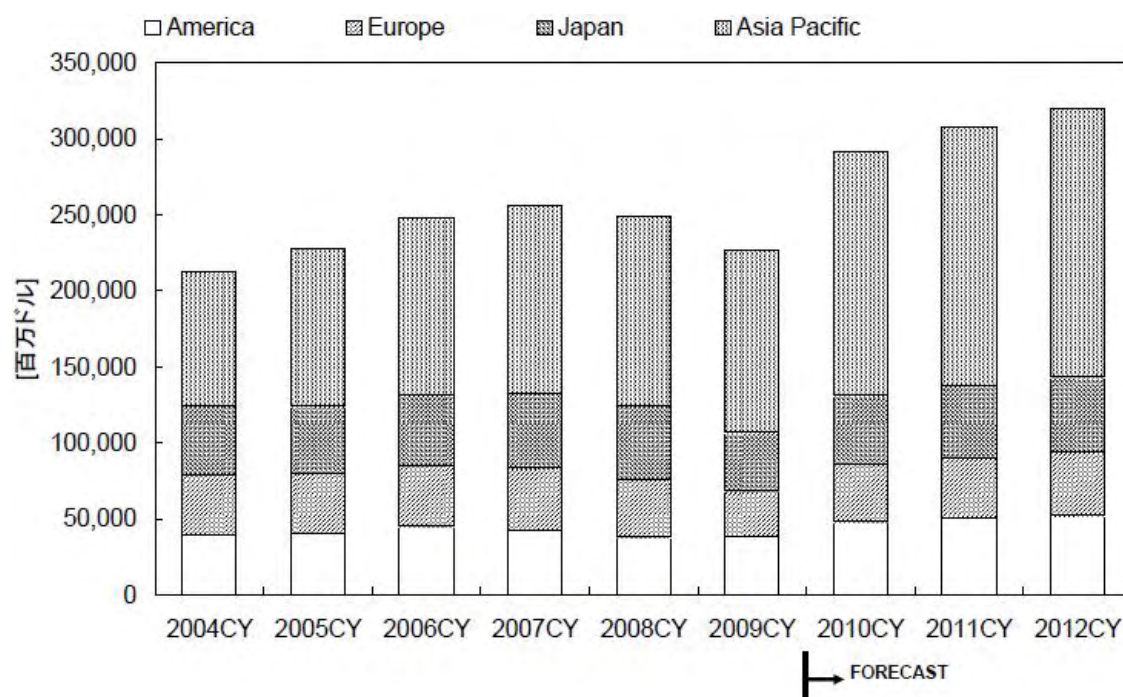


図1-1 半導体市場予測<sup>(1)</sup>

日本市場についても2009年に市場の底を向かえ、2010年以降に若干回復する見込みだが、2012年においては2008年と同程度に留まる見込みである。この予測

から、日本の半導体メーカーにとって、日本以外の市場も取り込んでいくことが今後の成長のために必要なことであるといえる。すなわち、市場の伸びが大きい地域をターゲットとする製品への取り組みと、国内市場を確保するための取り組みが必要となっている。また、近年の激しい市場の変化に対応していくため、市場が要求するタイミングでの設計開発や製造プロセス開発が必須となっている。

## 1.2 LSIの技術動向

現在生産されているロジックデバイスは、高性能、低消費電力、高集積度がキーポイントとなっている。そして、今後開発されるロジックデバイスについては、デバイス性能向上のために、今後もMOSFETのスケーリング則を維持する必要があるとされている。具体的な例として、ITRS2007<sup>(2)</sup> (International Technology of Road Map for Semiconductor)によれば、表1-1に示される高性能ロジック技術についての要求がある。

**表1-1 高性能ロジックにおける技術要求**

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
MPU/ASIC Metal 1 1/2Pitch (nm)	68	59	52	45	40	36	32	28	25
Physical Lgate for High Performance Logic (nm)	25	22	20	18	16	14	13	11	10

表中の1段目は生産時期を西暦で示している。各生産時期に要求される技術の一例として、2段目以下の技術要求を示す。2段目はLSIの1層目のメタル配線の最小ピッチの半分の値、3段目は高性能ロジック用トランジスタのゲート長である。2010年現在において、前者は45nm、後者は18nmの要求値となっており、5年後の2015年にはそれぞれ2010年の半分に近い要求値となっている。すなわち、今後も先端LSIに使用されるメタル配線やトランジスタの微細化を進めていく必要がある。

上記の技術要求のベースとして、これまで用いられてきたのがMooreの法則である。Mooreの法則は、基本的にトランジスタの性能を向上させながらの物理的寸法の微細化を指している。従来は、Mooreの法則に沿って開発を進めていくことで、デバイスの微細化開発を進めてくることができた。しかしながら、近年ではこの物理的寸法の微細化、いわゆる幾何学的微細化だけでは要求されるLSI性能とスケーリングの両

立に対応できなくなってきたり、幾何学的微細化に加えて構造的な改善ならびに幾何学的スケーリングによらない新規プロセス技術や新規材料の導入など、いわゆる等価的微細化の手段が取り入れられるようになってきている。この幾何学的微細化と等価的微細化を両立させた微細化は“More Moore”と呼ばれている。具体的なプロセス技術や新規材料としては、ゲート絶縁膜への高誘電率 (high-k) 膜, ゲート電極へのメタルゲート技術の導入, 長期的には, 薄膜SOI(Silicon On Insulator)やFin-FETのような新構造のMOSFETなどの開発などがこれにあたる。一方, LSIの機能的多様化も要求されるようになってきている。これはMooreの法則による微細化に従うことなく, 他の方法で顧客に付加価値を提供する機能を持つデバイスを組み込むことを指している。この機能的多様化は“More than Moore”と呼ばれている。機能的多様化の一つの目的はデジタルと非デジタルの機能を一つのコンパクトなシステムに組み込むことにある。機能的多様化の相対的重要性は今後ますます増大する。

このように, LSIの開発においては, 物理的寸法の微細化, 新規デバイス構造, 製造プロセス, 材料の導入, そして機能的多様化など多岐にわたる項目における問題点を早期に洗い出し, 解決していく必要がある。

### 1.3 本研究の目的

本研究では, 1.1と1.2で述べたLSIの市場動向, 技術動向を踏まえ, より高性能, 高信頼性のLSIの実現に寄与するために, LSI製造の歩留まり低下を引き起こす故障原因を効率的に解明する具体的手法を提示するとともに, LSI製造工程において発生する局所的な応力の発生機構とトランジスタ特性への影響を明らかにした。さらに, シリコンウェーハに関わる欠陥のLSI製造の問題点とデバイスへの影響について定量的に究明し, その評価手法を提示している。

### 1.4 本研究の内容と本論文の構成

本研究の内容は, 1.3にて述べた目的を達成するための故障解析技術, 物理解析技術を用いた, LSIデバイスの故障解析に関する3つの研究である。具体的にはメモリデバイスの大量故障解析手法の開発および実用化についての研究, LSI製造中に発生する局所的な応力によるトランジスタ性能への影響とそのメカニズムに関する研究, そしてシリコンウェーハの欠陥によるLSI製造上の課題とメカニズムに関する研究である。本論文は, 以上の研究成果について述べたもので, 全体は6章に分けて構成している。研究成果報告の順序として, マクロ的な解析であるメモリデバイスの



大量故障解析，ミクロ的解析である局所的な応力のトランジスタ性能への影響調査とメカニズムの解明，同じくミクロ的解析であるシリコンウェーハに関する LSI 製造上の課題とメカニズム解明の順で報告している。

## 第1章 序論

本研究に関する背景として，LSI の製造，開発における現状と課題について述べ，本研究の目的を明らかにしている。

## 第2章 LSI の故障解析技術

一般的な LSI のプロセス・デバイスの評価・解析，LSI 製品の故障解析に用いられる技術について述べている。

## 第3章 メモリ LSI の大量解析技術開発と適用評価

メモリデバイスで発生する故障現象をテスト評価によるフェイルビットマップデータを元に，効率的に故障の原因解明を行うためのシステムの開発とその応用について述べている。

## 第4章 STI 製造工程のシリコン中の応力ならびにトランジスタ特性への影響

先端 LSI での大きな課題である素子分離構造で発生する局所的な強い応力の発生と STI プロセス条件による影響，そしてプロセスの適正化/技術的検討について述べている。

## 第5章 Cu汚染起因ピット故障の評価技術とCu汚染対策

LSI製造プロセス中において，シリコンウェーハで発生する極微小なピットの形成メカニズムの解明とピット形成を改善する対策の効果の検証について述べている。

## 第6章 結論

本研究によって得られた成果を総括している。

## 参考文献

1. WSTS 2010年 春季半導体市場予測 (WSTS日本協議会2010年6月発表分)
2. 2007 ITRS JEITA 和訳

## 第2章 LSIの故障箇所絞り込み技術と物理解析技術

### 2.1 序

故障解析は、故障に至ったメカニズムを速やかに解明し、迅速な改善策を立てるために重要な技術である。一般的なLSIの故障解析フローを図2-1に示す。製品故障が発生した場合、製品のすべての箇所が異常というわけではなく、通常は製品の中の一部に異常が発生し、それが原因となって製品として機能しなくなっている場合が殆どである。そこで、故障解析として、まず LSI 中の故障箇所を特定するため、故障絞り込み技術が適用される。故障箇所絞り込みとしては、ソフトによる故障診断技術とハードによる故障箇所絞り込み技術がある。本章では、故障箇所絞り込み技術としてハードによる絞り込み技術を取り上げる。ハードによる故障箇所絞り込み技術としては、評価対象となる配線を露出させた LSI 製品をテストによりファンクション動作させて、対象箇所の配線領域に電子ビームを照射し、各配線の電位情報を調査する電子ビームテストング(EBT:Electron Beam Testing)、LSI 外部から所望の入力用パッドに電圧を印加し、そのときに故障箇所で生じる特異発光を検出する発光解析(PEM:Photo Emission Microscope)、局所的な高抵抗箇所の発生や断線が予想される配線に電圧を印加し、かつ対象領域をレーザー照射加熱して異常部での抵抗変動箇所を検出する OBIRCH 解析(Optical Beam Induced Resistance Change:レーザービーム加熱抵抗変動法)、そして故障の可能性のあるトランジスタの電気特性、配線部の局所的な抵抗、局所的な電流リークなどを直接測定するナノプロービング法がある。

故障箇所を絞り込むことができれば、次に物理解析手法を用いて故障原因を調査する。物理解析手法としては、上層膜をウェットエッチング、ドライエッチング、あるいは機械的研磨を用いて除去し、異常部を露出させて平面 SEM(Scanning Electron Microscope:走査電子顕微鏡)観察を行う除膜解析が一般に行われる。必要に応じて、露出させた異常部の元素分析(エネルギー分散型 X 線分光法、オージェ電子分光法など)を行う。これにより、異常部の素性や発生工程などを突き止める。また、FIB(Focused Ion Beam:集束イオンビーム)により異常部の断面出し加工を行い、断面 SEM 観察や断面 TEM(Transmission Electron Microscope:透過電子顕微鏡)観察を行い、異常部の形状、発生工程の特定を行う方法もある。

# LSIの故障発生



故障箇所の特定

大規模LSI中の故障箇所を特定する。  
↓  
故障箇所の絞り込み

ソフト解析  
ソフトベースの故障診断

ハード解析  
EBT(電子ビームテスト)、PEM(発光解析)、  
OBIRCH(レーザビーム加熱抵抗変動)、  
ナノプロービング、他



配線のショート

故障箇所の物理的故障要因を見つける。  
↓  
物理解析技術の適用

除膜解析  
ウェット/ドライエッチング  
研磨による対象部位の露出  
形態観察: SEM(走査電子顕微鏡)  
元素分析: SEM-EDX(エネルギー分散型X線分光)  
AES(オーージェ電子分光)

FIB(集束イオンビーム)併用の物理解析  
形態観察: SEM, TEM(透過電子顕微鏡)  
元素分析: SEM-EDX, TEM-EDX,  
TEM-EELS(電子エネルギー損失分光)



# 故障原因の解明

図2-1 故障解析フロー

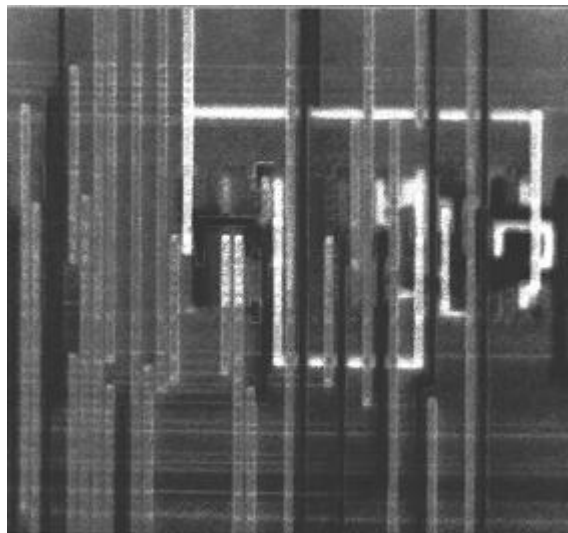
物理解析技術は故障解析に活用されているが、製造プロセス条件を検証用に用いられるなどデバイス開発のための構造解析などにも活用されている。特に TEM 解析技術は観察だけでなく、ナノメートルスケールの元素分析や応力評価に適用できる物理解析技術であり、LSI の物理解析に広く活用されている。また、SPM(Scanning Probe Microscope)解析技術も原子レベルでの表面ラフネス評価、そして不純物注入層(拡散層、ウェルなど)の形状観察などに適用できる物理解析技術であり、LSI の物理解析に活用されている。

## 2.2 ハードによる故障箇所絞り込み技術

LSI の故障としては、LSI がファンクション動作をしている動的な状態で故障している場合とファンクション動作をしていない静的な状態でも故障している場合がある。動的な状態で故障している LSI に対応する絞り込み技術として、EBT, TREM(Time Resolved Emission Microscope:動的発光解析), SDL(Soft Defect Localizatin:ソフト欠陥絞り込み), LVP(Laser Voltage Probe:レーザーボルテージプロービング)があり、ファンクション動作をしていない静的な状態で故障している LSI に対応する絞り込み技術として PEM, OBIRCH, ナノプロービング法, 発熱解析, 吸収電流法などがある。ナノプロービング法としては、SPM(Scanning Probe Microscope:走査プローブ顕微鏡)の機能を利用した導電性 AFM を用いた手法と SEM 装置にプロービング機能を搭載させたナノプローバと呼ばれる手法があり、両者とも LSI の解析に活用されている手法である。本節では、これらのうち、EBT, PEM, OBIRCH, 導電性 AFM, ナノプローバを取り上げて、それぞれについて、原理、機能、特徴などについて説明する。

## 2. 2. 1 EBT( Electron Beam Testing: 電子ビームテスト)

EBTはLSIテスト等によりデバイスを動作させた状態でチップ表面から金属配線に $0.1\mu\text{m}$ 径の電子ビームを照射し、非接触でチップ内部の配線での電位分布像や電圧波形を測定することで、チップ内部の論理状態を知ることができる故障箇所絞り込み技術である。電子ビームを配線に照射すると、図2-2に示すように、低電位の配線からはエネルギーの高い二次電子が、高電位の配線からはエネルギーの低い二次電子が検出され、エネルギー分析器を用いると像にコントラスト差が生じ、配線上の電位分布を知ることができる。また、パルス化した電子ビームを配線上に照射し、照射タイミングをシフトさせながら電位情報を検出することで、図2-3に示すように、サンプリングオシロスコープと同様な電圧波形が得られる。



白: GND電位  
黒: 電源電位

図2-2 EBTによる電位分布像

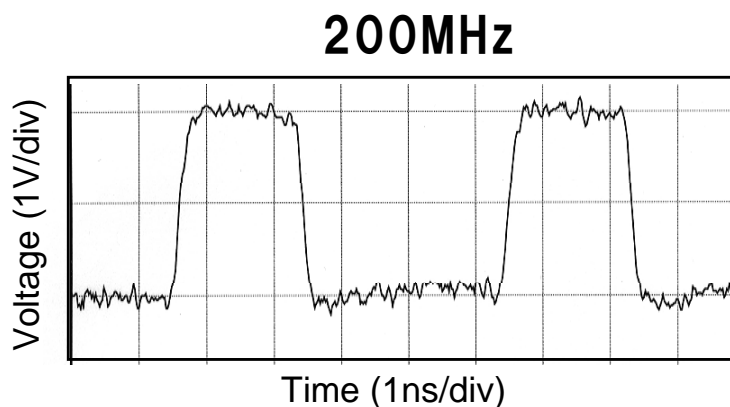


図2-3 EBTによる電圧波形

## 2. 2. 2 PEM(Photo Emission Microscope:発光解析)

PEM は電流リークに伴って発生する微弱な光を検出することにより故障箇所絞り込み技術である。これには光子(光子)を一つ一つカウントできる高感度な光検出器を使用する。図2-4は上面からの発光解析の例である。図では発光像と LSI パターン像を重ねた表示となっている。図2-5にさらに拡大した像での発光解析結果を示す。このように発光像を LSI のパターン像と重ね合わせるにより電流リーク箇所を特定する。故障箇所を特定した後、上層膜を除去し、メタル配線を露出させた状態で発光箇所近傍を観察した結果、図2-6に示すようにメタル配線の短絡が確認できる。一方、先端の LSI では、メタル配線の多層化により、チップ上面からの検出は困難になっている。これに対し、シリコンを透過する波長  $0.8\mu\text{m}\sim 1.5\mu\text{m}$  の近赤外光を検出することにより、チップ裏面からの解析を可能にする裏面発光解析技術<sup>(1-4)</sup>が活用されるようになっている。

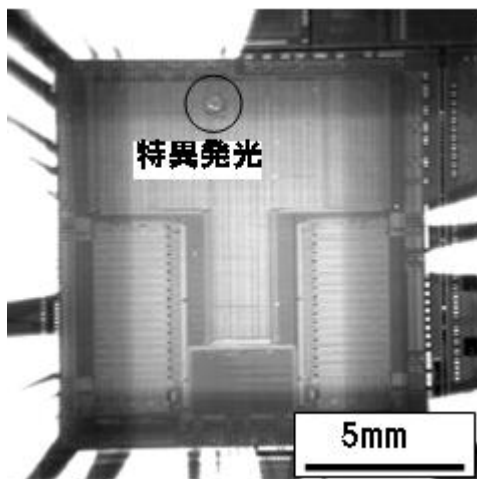


図2-4 発光解析結果

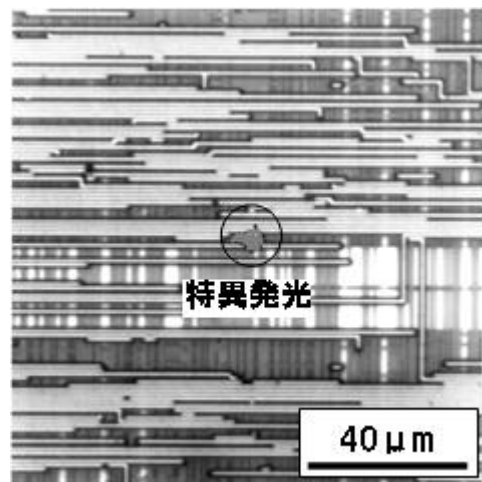


図2-5 発光解析結果(拡大)

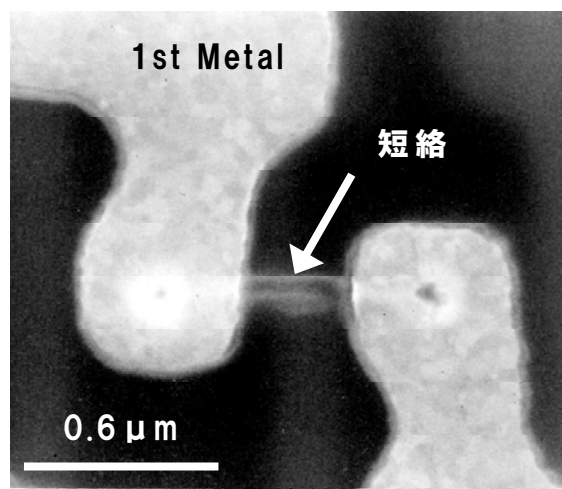


図2-6 物理解析結果(平面 SEM 像)

### 2. 2. 3 OBIRCH(レーザービーム加熱抵抗変動法)

OBIRCH<sup>(5)</sup>は LSI で使用される配線系の高抵抗あるいはショート箇所の同定に用いられる絞り込み技術である。対象範囲の配線両端子間に電流計を接続し、対象範囲にレーザーを走査させて、レーザー照射により抵抗変化する箇所での電流変化を検出することで故障箇所を同定している。電流検出が必要なため、評価対象がある程度限定されるが、大規模 LSI の配線系の故障箇所同定が行える有効な技術である。図 2-7 に OBIRCH システム、図 2-8 に評価例を示す。

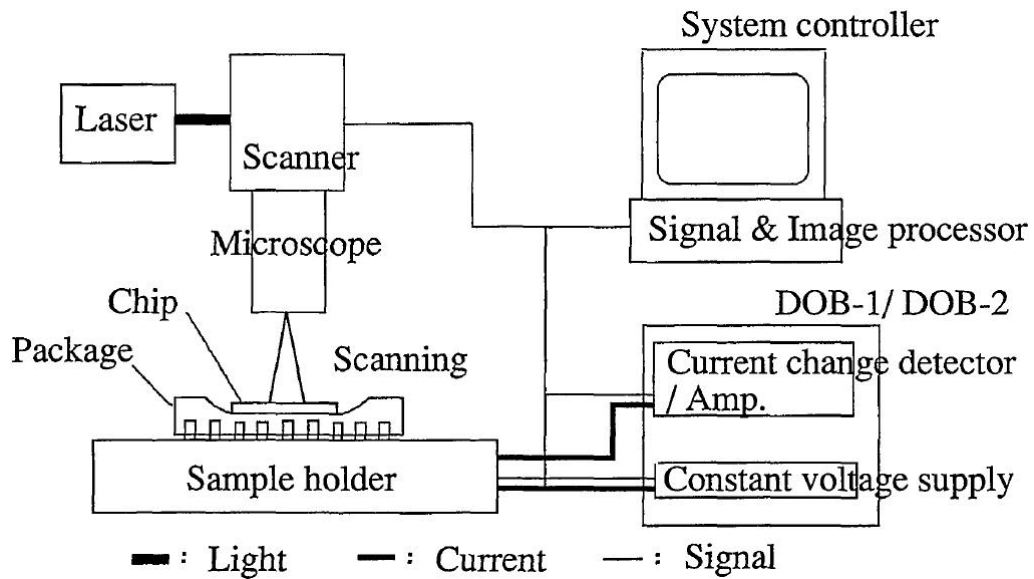
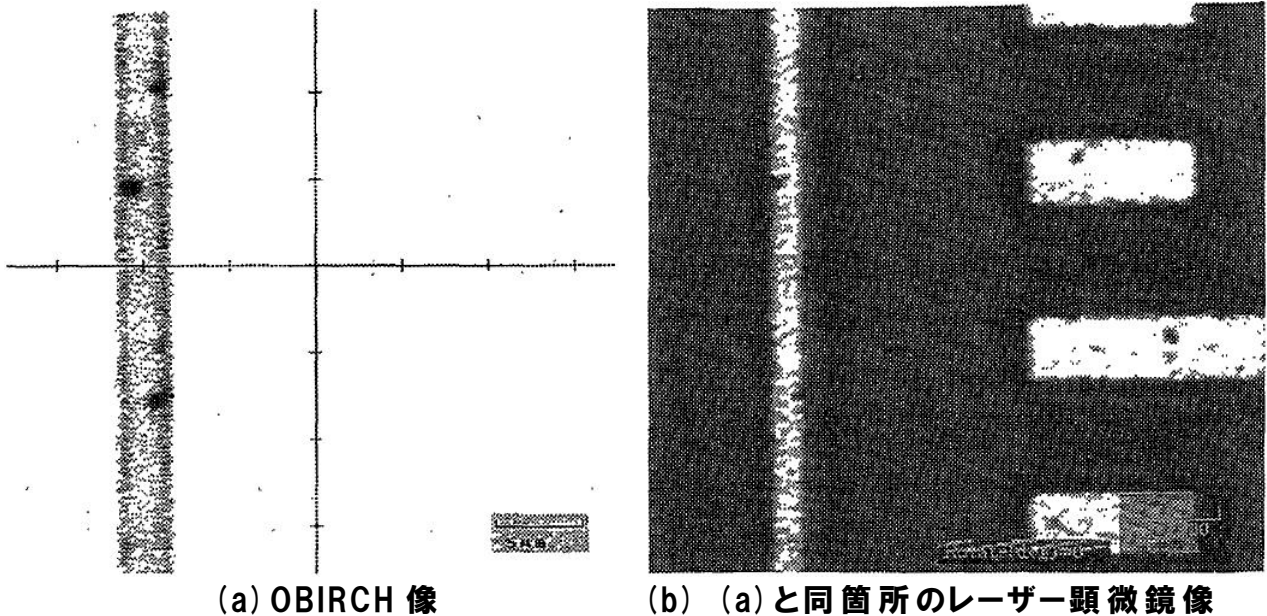


図 2-7 OBIRCH システム<sup>(5)</sup>



(a) OBIRCH 像

(b) (a)と同箇所のレーザー頭顕微鏡像

図 2-8 OBIRCH 解析例<sup>(5)</sup>

## 2.2.4 SPM(走査プローブ顕微鏡)

探針を用いた評価技術である SPM にはいくつかの機能があり、それぞれ異なる原理に基づいている。LSI の評価に有効な SPM 技術を表 2-1 に示す。AFM (Atomic Force Microscope: 原子間力顕微鏡) は主に試料表面の起伏を調べるために用いられる技術で、故障解析ではなく、ウェーハプロセス上の評価が主な用途となる。また、SCM (Scanning Capacitance Microscope: 走査容量顕微鏡) と SSRM (Scanning Spreading Resistance Microscope: 走査広がり抵抗顕微鏡) は主にシリコン基板中の不純物プロファイル (ボロン、リン、砒素などのドーパントを用いて形成される拡散層などの形状) を評価するために用いられる技術であり、詳細な説明は物理解析の章で述べる。導電性 AFM は電気的な特性評価を行う技術で、本節では、導電性 AFM について、その概要と具体的な評価例を紹介する。

表 2-1 主な SPM 機能の LSI への用途

項目	用途	測定対象
AFM (原子間力顕微鏡)	表面ラフネス	原子間力
SCM (走査容量顕微鏡)	2次元不純物プロファイル (P型/N型の区別も可能)	容量の変化
SSRM (走査広がり抵抗顕微鏡)	2次元不純物プロファイル	広がり抵抗
Conductive AFM (導電性 AFM)	ゲート酸化膜リーク 接合リーク	微小電流



導電性 AFM の構成を図 2-9 に示す。通常の AFM は試料表面とカンチレバーの間に働く原子間力をレーザー光の反射を利用して検出する。フィードバックループによって、ピエゾスキャナーの Z 方向の制御を行い、原子間力を一定に保持しながら試料表面を走査することで表面形状を観察する。導電性 AFM は AFM 技術を応用したもので、導電性カンチレバーと試料間に直流電圧を与えながら試料表面を走査し、電流量の変化を測定することで電流像を取得する。この技術により、ナノメートルオーダーの面分解能で試料表面の電流分布像を取得することができる。

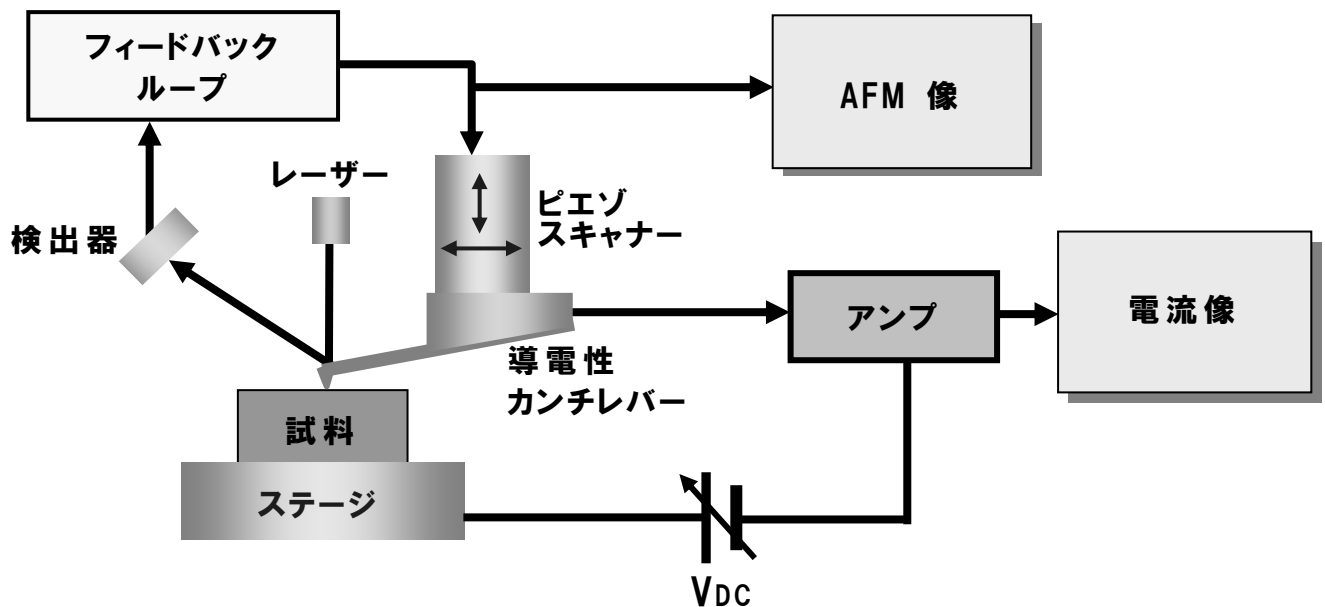


図 2-9 導電性 AFM の基本構成

### 2.2.4.1 接合リーク故障解析への適用事例<sup>(6)</sup>

導電性 AFM を用いた故障解析への適用事例を紹介する。接合特性を評価するためのテスト構造を用いたサンプルで発生した接合リーク故障への適用例である。使用したテスト構造のレイアウトを図2-10に示す。N ウェル中に STI(Shallow Trench Isolation)で素子分離された P 型拡散層を  $0.7\mu\text{m}$  ピッチでアレイ状に形成し、それぞれの拡散層上に直径  $0.2\mu\text{m}$  のコンタクトプラグを形成している。コンタクトプラグの材質はタングステンであり、活性領域上にはサリサイドプロセスによるコバルトシリサイド層が形成されている。すべてのコンタクトプラグは電気測定のために共通の金属電極層に接続されている。

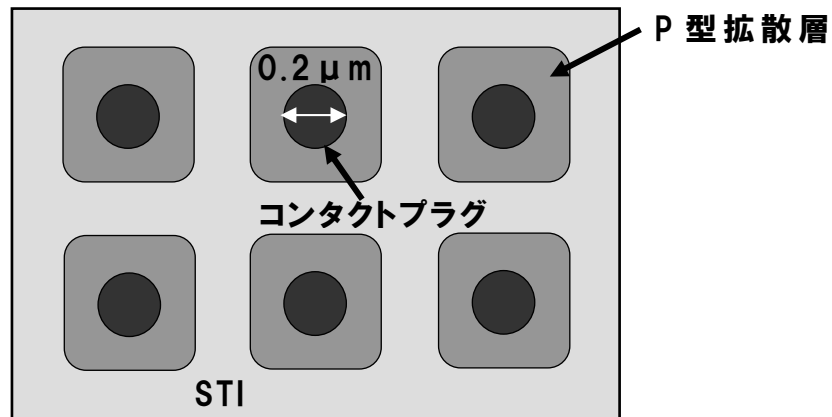


図2-10 評価サンプルのレイアウト

導電性 AFM による故障位置同定法の一例を TEG 構造とともに図2-11に示す。導電性 AFM で解析するために、上部の金属電極を機械的研磨によって除去し、露出したコンタクトプラグ表面に対し、カンチレバーを走査させて電流像を取得した。

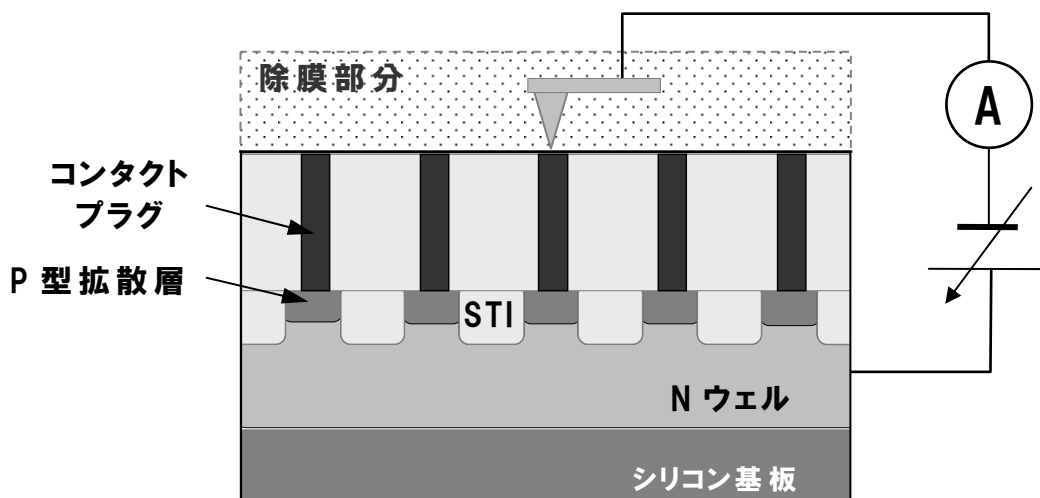
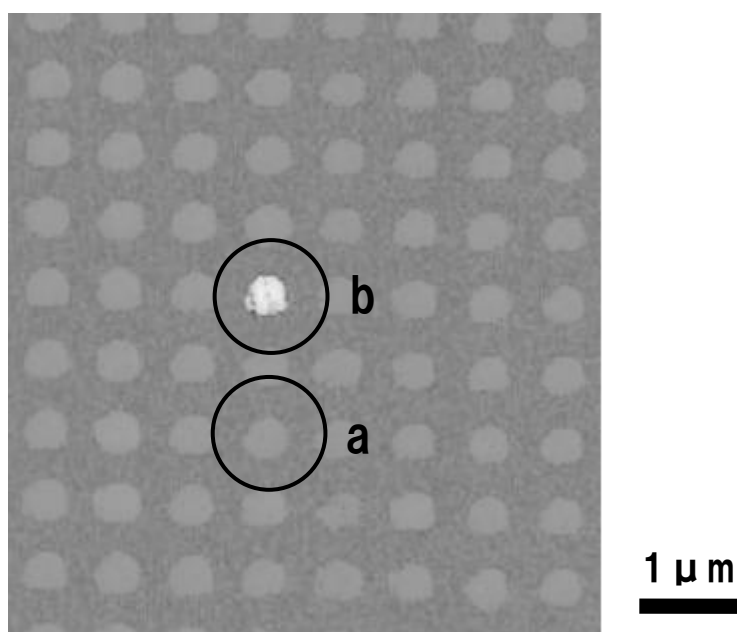


図2-11 導電性 AFM 評価法

図2-12はP型拡散層とNウェル間に0.5Vの逆バイアスを印加したときの電流像である。図において、電流量が多いほど明るく表示されている。図中、aに代表される明るいスポットはP型拡散層上のコンタクトプラグに対応している。図中、bのように観察されている、特に明るいスポットは異常電流が発生しているコンタクトプラグを示している。このように、故障箇所として一つのコンタクトプラグに絞り込むことができ、故障原因を特定するための断面解析を行うことが可能となる。さらに、故障箇所における電気特性評価を行った。その結果を図2-13に示す。故障位置を同定する場合は、カンチレバーを走査させながら電流像を取得しているが、電気特性を測定する場合はカンチレバーを所望のコンタクトプラグ上で静止させて取得した。



**図2-12 導電性 AFM による電流像**

図2-12中の正常コンタクトプラグ部 a と故障コンタクトプラグ部 b の電流-電圧特性をそれぞれ図2-13(a), (b)に示す。図2-13(a)は整流特性を示しており、P型拡散層とNウェルとの間の接合特性が正常であることが分かる。それに対して、図2-13(b)はオーミック接合に近い、異常な接合特性を示していることが分かる。この結果より、異常部ではP型拡散層とNウェル間の接合が破壊されていることが判明した。

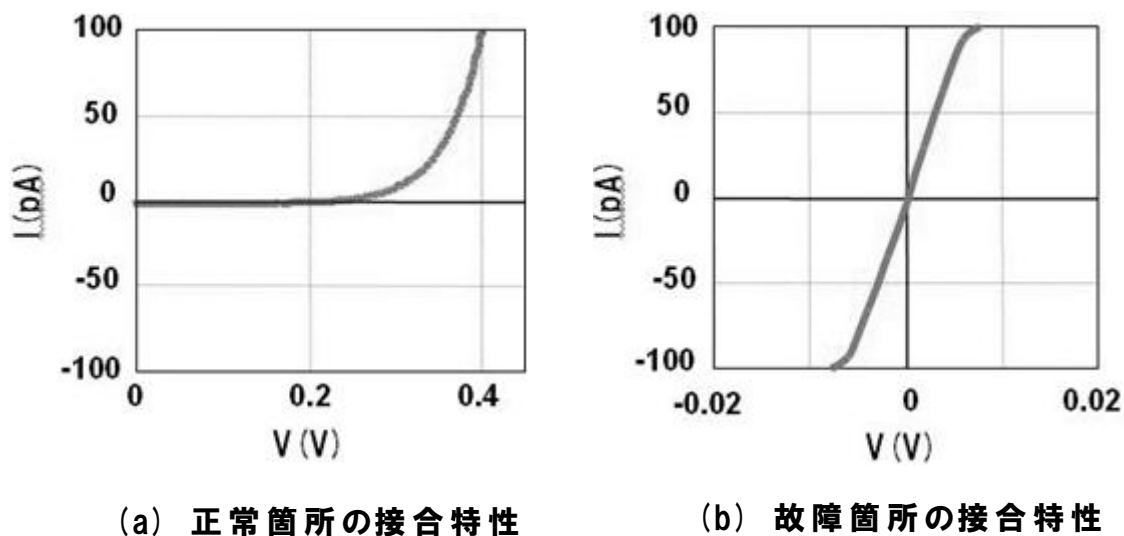


図 2-13 導電性 AFM を用いた電気特性評価

異常な接合特性の原因を調べるために、故障箇所の断面を走査電子顕微鏡 (SEM) によって観察した。その結果、図 2-14 に示すように、故障部コンタクトプラグの金属層が基板中に侵食していることが確認された。P 型拡散層と N ウェルとの接合位置は図中の点線で示すように、シリコン基板表面から約  $0.1 \mu\text{m}$  の深さに渡って形成されている。故障部コンタクトプラグの金属層は接合位置の深さにまで達しており、接合リークの原因は金属層が P 型拡散層を突き抜けて N ウェルに達しているためと考えられる。以上のように、導電性 AFM を用いることで、物理解析を行うために十分な面分解能で位置同定を行うことができる。また、直径  $0.2 \mu\text{m}$  の微小コンタクトプラグに直接プロービングすることで、故障箇所の電気特性を評価し、故障モデルを検証することができる。

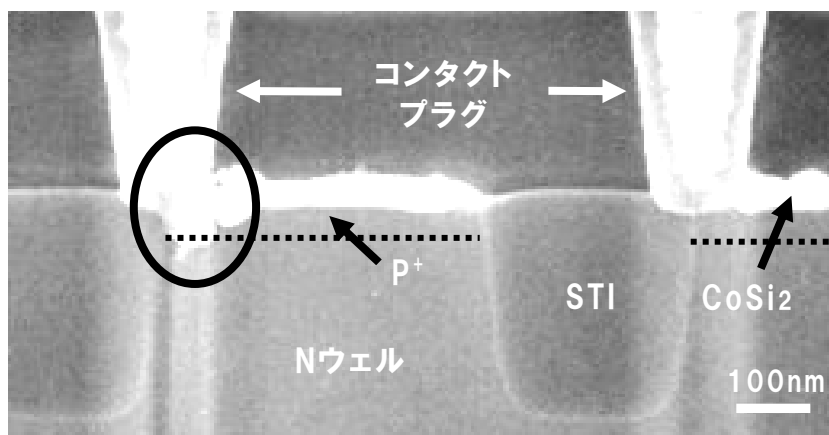


図 2-14 故障箇所の断面 SEM 像

## 2.2.4.2 ゲート酸化膜リーク故障解析への適用事例<sup>(6)</sup>

導電性 AFM を用いた故障解析への2つめの適用事例として、ゲート酸化膜評価適用例を紹介する。適用したテスト構造試料は STI で分離された活性領域の上に 5.7nm 厚のゲート酸化膜およびゲート電極を形成したキャパシタ構造を有している。大まかな位置同定を行うために、まず発光解析を行った。ゲート電極と P 基板との間に 1.0V の電圧を印加し、リーク電流によって発生する発光をデバイス上面から検出することで、リーク箇所の大まかな位置同定を行った。その結果を図 2-15 に示す。

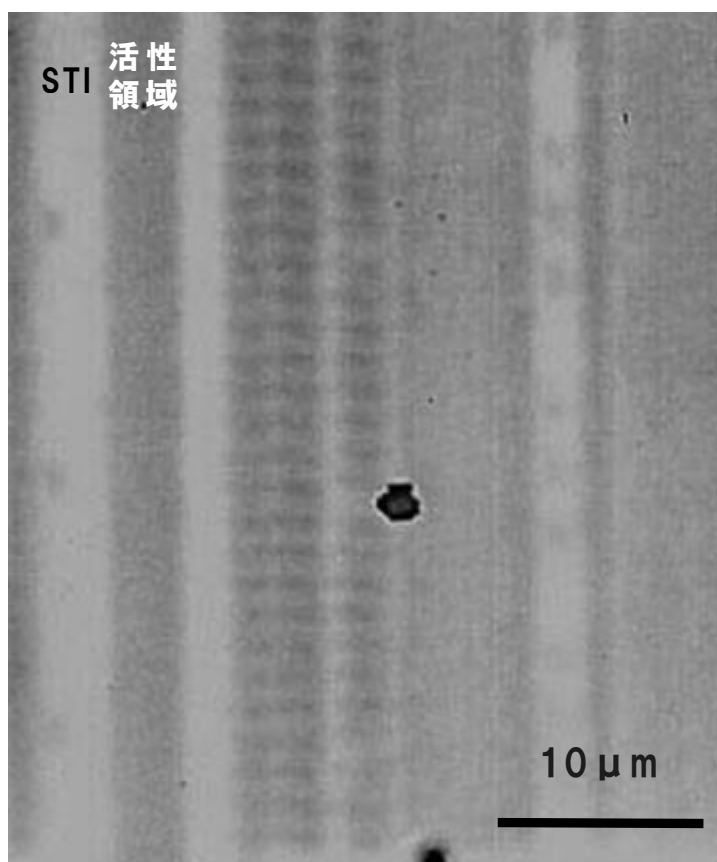


図 2-15 発光解析結果

暗い領域は活性領域、明るい領域は素子分離領域を示しており、リーク箇所は暗いスポットとして示されている。さらに故障箇所を絞り込むために導電性 AFM によって詳細な位置同定を試みた。導電性 AFM による故障位置同定法の概要をテスト構造とともに図 2-16 に示す。導電性 AFM で評価するために、ゲート電極を高選択性エッチングで除去し、露出したゲート酸化膜表面にカンチレバーを走査させて電流像を取得した。

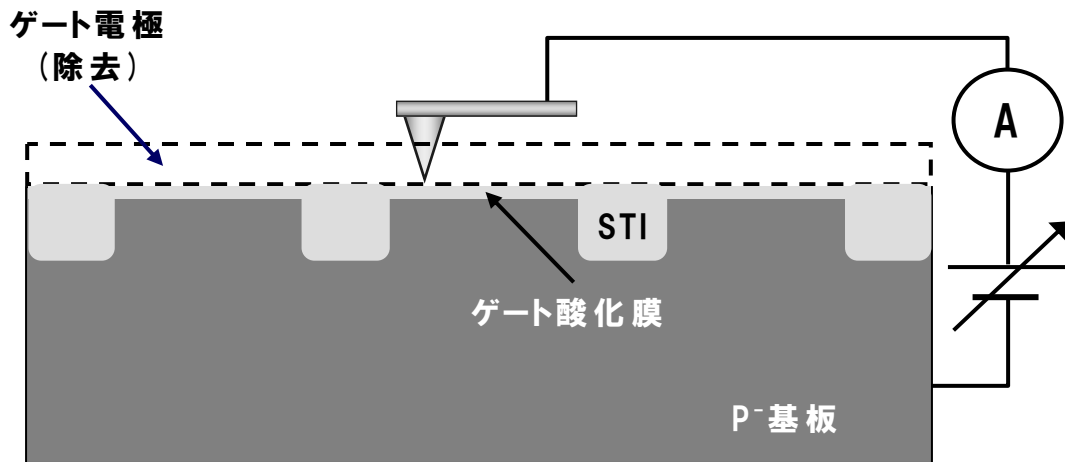


図2-16 試料構造と測定方法

図2-17はP<sup>-</sup>基板とカンチレバーとの間に1.0Vの電圧を印加したときの電流像と同時に得られたAFMの表面形状像を重ね合わせた像である。図2-17中、aで代表される明るい領域は素子分離領域に対応し、bに示される暗い領域は活性領域に対応している。また、c領域に見られる特に明るい部分が電流リーク箇所を示している。図2-17ではパターン像がAFMで得られているために、素子分離領域と活性領域の境界が明確に観察できている。この結果より、電流リーク箇所が素子分離領域と活性領域の境界に位置していることが把握できた。さらに、同時に得られるAFM像によって、故障部の表面形状を詳細に観察することができる。図2-18は故障部のAFM像である。領域aは素子分離領域、領域bは活性領域で、電流リーク箇所cにおいて、約100nm径の窪みが存在していることが確認できた。以上のように、導電性AFMを用いることで、ナノメートルオーダーの面分解能で故障箇所の位置同定が可能である。また、同時に得られるAFM像によって、故障箇所とレイアウト構造の位置関係を明確にし、故障部の表面形状を詳細に観察することができる。

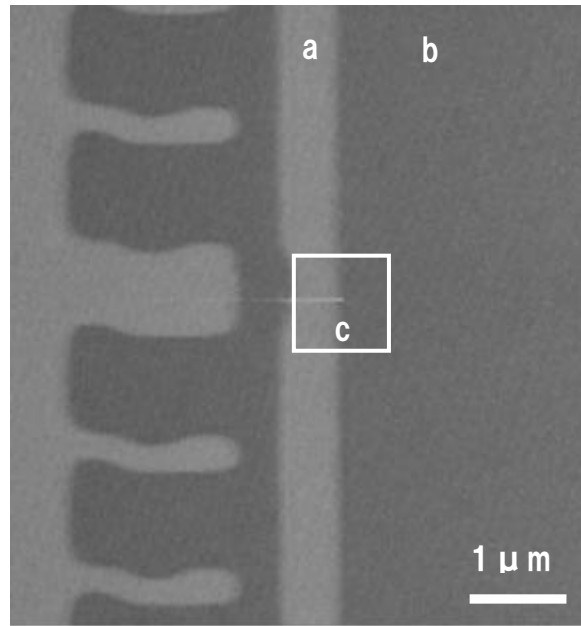


図2-17 導電性 AFM 像 (電流像と形状像の合成像)

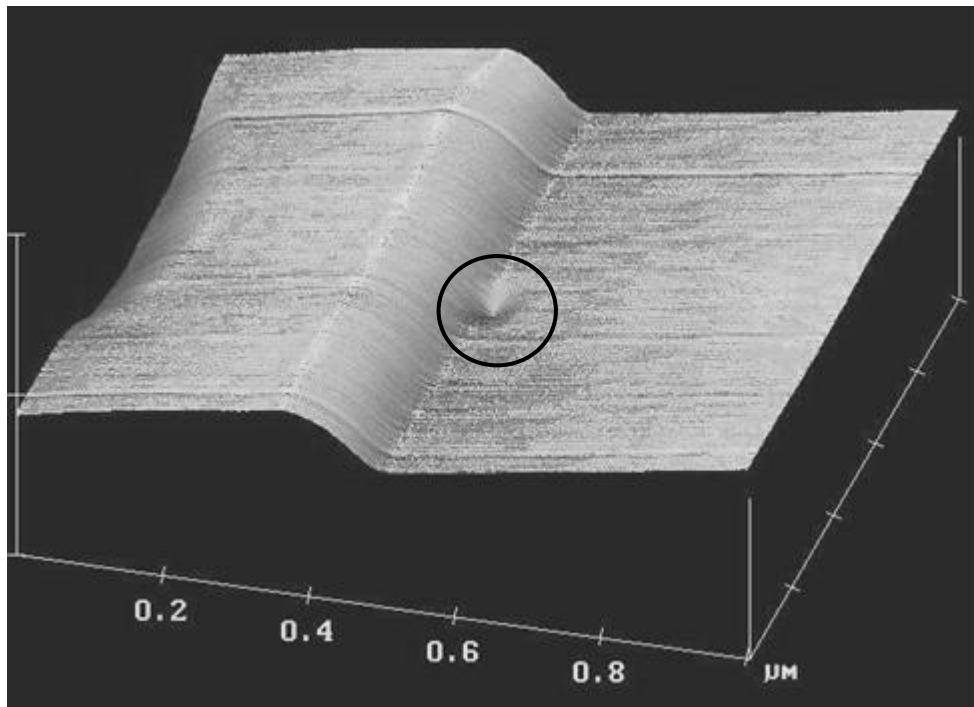


図2-18 AFM 像

## 2.2.5 ナノプローバ

ナノプローバ<sup>(7-8)</sup>と呼ばれる SEM(走査電子顕微鏡)技術を併用する複数の探針を用いた針当て評価技術や前述の導電性 AFM 技術をベースとした複数探針を用いた針当て評価技術がデバイスメーカーで活用されている<sup>(9-10)</sup>。

SEM 式ナノプローバの装置構成を図 2-19 に示す。図において、左側に評価試料を設置する SEM 本体があり、本体内に複数の探針を設置することが可能である。図中、右側には評価試料を設置したステージ系、探針の操作、SEM 観察系などの制御装置と、電気特性に使用するパラメータアナライザが設置されている。本技術は SEM 観察しながらの針当て評価が可能のため、高位置精度での測定が可能である。また、先端の曲率が  $0.1 \mu\text{m}$  程度の細かい電極を使っての電気特性評価を行うことが可能なので、LSI 実デバイス中の特定のトランジスタを対象とした電気特性評価や特定のコンタクトを対象とした抵抗評価など、マイクロな電気的特性評価による故障箇所の絞り込みが行える。

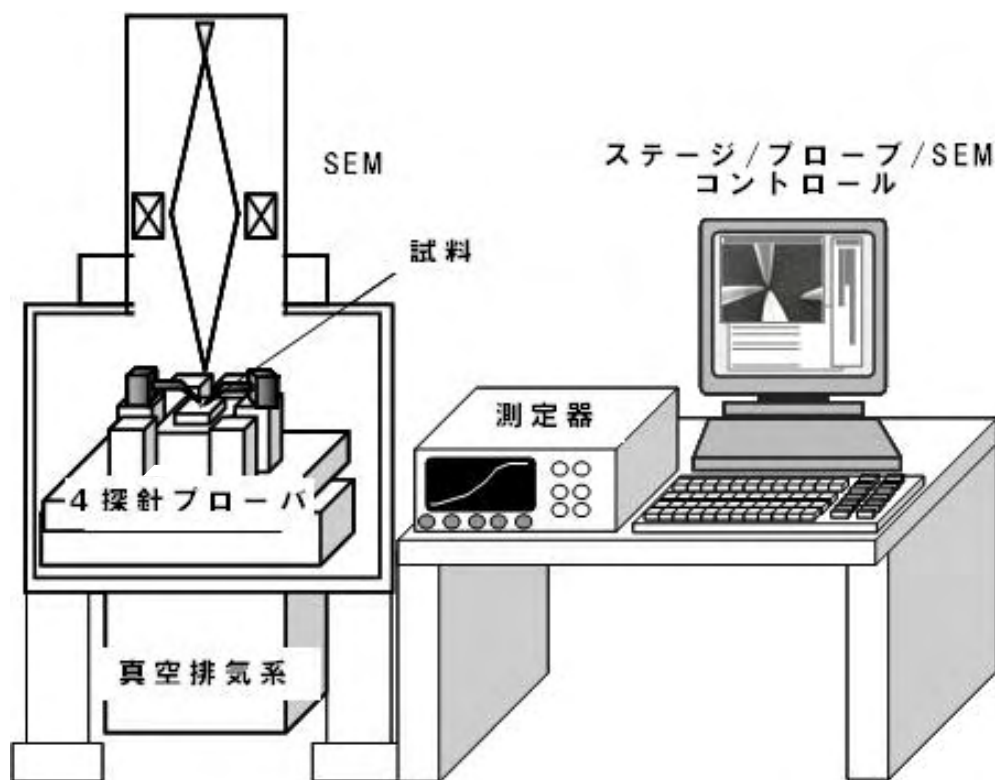


図 2-19 ナノプローバの装置構成



実際にナノプローバを用いて測定した例を説明する。6本の探針をコンタクトプラグに針当てを行っている状態の SEM 像を図2-20に示す。また、測定対象となっているSRAMセルの回路図を図2-21に示す。SRAM1セルは2個のPMOSトランジスタ、4個のNMOSトランジスタによって、2つのインバータ回路（PMOSトランジスタ1個、NMOSトランジスタ1個で構成）、2つのアクセストランジスタ（NMOSトランジスタ）が構成されている。図2-21中に示した  $V_{cc}$  は電源電圧、 $V_{ss}$  はグランド電圧、 $V_{in}$  は図2-21の赤枠で囲まれた部分で構成されたインバータの入力端子、 $V_{out}$  は同インバータの出力端子である、また、トランジスタのバックゲートバイアスを供給するNMOSトランジスタ領域のPウェル、PMOSトランジスタ領域のNウェルにも電圧を供給している。 $V_{in}$  に0Vから1.5Vまで電圧を変化させたときの  $V_{out}$  を測定した結果を図2-22に示す。LSI中の実デバイスにおけるインバータ特性結果が得られている。

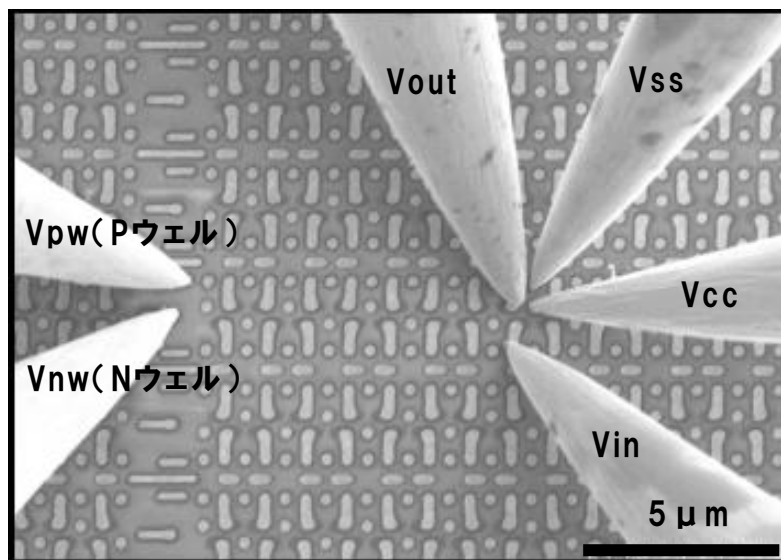


図2-20 ナノプローバ測定時の針当て状態

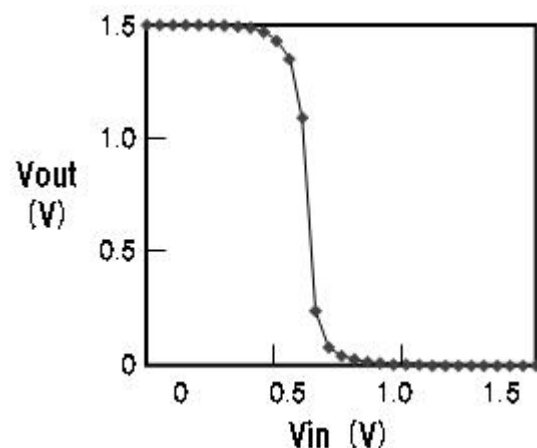
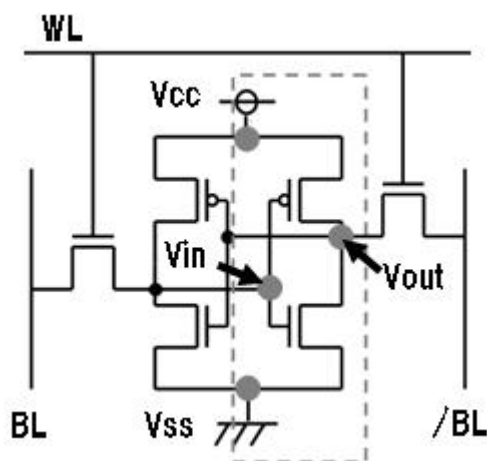
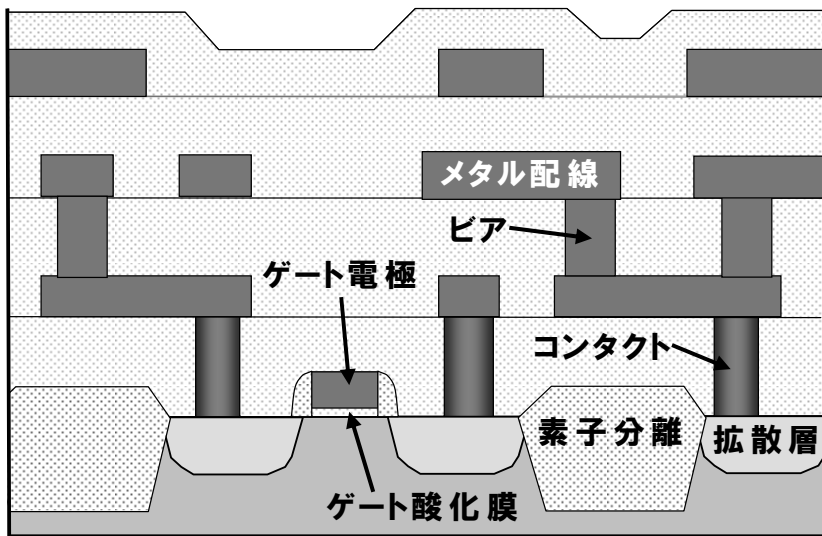


図2-21 SRAM 回路図と測定箇所 図2-22 ナノプローバ測定結果

## 2.3 物理解析

故障箇所が特定できれば、次に物理解析を行って、故障の原因を調査することになる。LSI は図2-23に示すように、トランジスタとそれをつなぐ複数層の配線で構成されている。半導体製品を安定量産するためには、この図に示すように、ゲート配線、ゲート酸化膜、拡散層、メタル配線、ホール、素子分離など、ウェーハプロセス上のさまざまなキーポイントがあり、これらのプロセスに問題が発生しないように、個々の要素技術およびそれらを組み合わせた技術をしっかりと確立していく必要がある。これらの出来具合を調査する目的で、表2-2に示すような形態観察手法、元素分析手法が適材適所に活用される。



### メタル配線

形状、膜質（結晶性）、異物  
→TEM(EDX, EELS), SEM(EBSD), AES

### ホール(ビア, コンタクト)

形状、膜質（結晶性）、界面状態  
→TEM(EDX, EELS), SEM(EBSD), AES

### ゲート電極

ゲート長／幅  
形状、異物  
→TEM, SEM, AES

### ゲート酸化膜

膜質、膜厚、異物  
→TEM(EELS), SEM, XPS

### 拡散層

不純物分布  
→SIMS, SPM(SCM, SSRM)

### 素子分離

平坦性、形状  
→TEM, SEM, SPM(AFM)  
応力、結晶欠陥  
→TEM(CBED), SEM

図2-23 LSIの断面模式図と物理解析の適用

表2-2 LSI 評価に用いられる物理解析技術

物理解析手法	プローブ	検出対象	空間分解能	得られる情報
SEM (走査電子顕微鏡)	電子	二次電子	0.6nm	構造(形状)
TEM (透過電子顕微鏡) -EDX (エネルギー分散型 X 線分析法) -EELS (電子エネルギー損失分光法)	電子	透過電子 特性 X 線	0.2nm 注1	構造, 結晶状態 含有元素
STEM (走査透過電子顕微鏡)		透過電子	注1	含有元素, 結合状態
SPM (走査プローブ顕微鏡) AFM (原子間力顕微鏡) SCM (走査容量顕微鏡) SSRM (走査広がり抵抗顕微鏡)	探針	原子間力 容量 抵抗	0.1nm 注1 注1	表面構造 二次元不純物分布 二次元不純物分布
AES (オージェ電子分光法)	電子	オージェ電子	注1	含有元素
SIMS (二次イオン質量分析法)	イオン	二次イオン	注1	含有元素
XPS (X 線光電子分光法)	X 線	光電子	注1	含有元素, 結合状態

(注1)元素分析の空間分解能, 検出感度は図 2-30 に記載

### 2.3.1 SEM(走査電子顕微鏡)

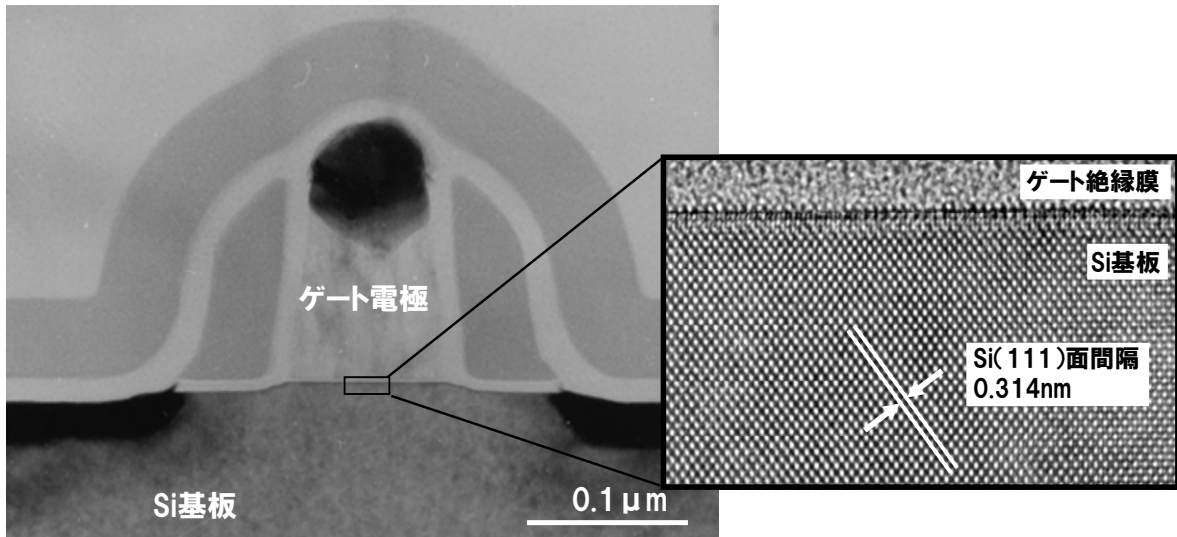
走査電子顕微鏡(SEM)は, 数千倍~数十万倍での高倍率観察が可能な装置であり, 半導体製品の故障解析, 構造評価に一般によく使用されている。主な用途としては, プロセス開発におけるデバイス構造の仕上がり確認, FIB 併用の故障箇所の断面形状観察, そして上面/裏面からの除膜併用の故障箇所の形態観察がある。故障解析では, 除膜技術を駆使して対象部を露出させて, その部位の高分解能形状観察を行う。前述の図2-6にて, その一例にあたる, 故障部位を露出させた状態での SEM 観察結果を示している。

## 2.3.2 TEM(透過電子顕微鏡)

半導体デバイスの開発や生産において、その途中工程および最終製品の形態観察は不可欠である。LSIの高集積化の一途のなかで、取り扱いの簡便さと空間分解能の高さからSEM(走査電子顕微鏡)が長い間半導体のプロセス評価における形態観察の主役を演じてきた。しかしながら、最近のLSIデバイスの微細化レベルはSEMの空間分解能では対応できない領域に入ってきている。このため、TEM(透過電子顕微鏡)がLSIの形態観察にまで広く用いられるようになってきた。個別要素プロセス評価はもちろんのこと、デバイスの故障解析においてもTEMの重要性は急速に増している。TEM評価なくしては、今日の半導体デバイスの実現や今後のLSI開発も成り立ち得ないと言えるほどである。

前述したSEMは形態観察法としては優れた能力を有しているが、今後の半導体デバイス評価に対しては、0.6~0.7nmの空間分解能を有する現在最高性能のSEMでも十分な空間分解能とは言えなくなってきている。こうしたマイクロな評価に対しては、0.2nm以下の空間分解能を有するTEM評価法の適用が必須となる。従来のTEM評価用試料作製法では評価対象となり得る試料の制約が大きいこと、またTEM試料作製期間が長いことから、TEM評価の半導体デバイスへの適用に大きな制限が課せられてきた。しかしながら、近年のFIB(集束イオンビーム)装置を応用したTEM試料作製技術の導入<sup>(11)</sup>により、半導体デバイス上の特定箇所を対象とするTEM評価が可能になり、TEM試料作製の自由度が飛躍的に高まった。さらに、TEM試料作製に要する期間が大幅に短縮できるようになったため、半導体デバイスのTEM評価を短期間に行えるようになった。一方、TEM装置側での進歩も大きなものがある。EDX(エネルギー分散型X線分光法)やEELS(電子線エネルギー損失分光法)などの分析機能の導入、またエネルギーフィルタによるTEM像質の飛躍的な向上など半導体デバイス評価にとって非常に役に立つ機能を持つTEM技術に進歩している。

TEM評価のLSIへ適用する有力な応用技術としては、任意の局所微小領域での断面TEM解析、平面TEM解析を可能にしたサンプリング技術、ナノメートルレベルの極微小領域を対象とした元素分析、そして電子線回折による局所部分の応力解析などがある。



### 極微小トランジスタの断面TEM像

図 2-24 トランジスタ部の断面 TEM 像

図 2-24 に極微小トランジスタ部の断面 TEM 観察写真を示す。写真中、四角部分の高倍率観察を行った結果がその右の写真である。これは、トランジスタのゲート絶縁膜とその下のシリコン基板部を超高倍率観察したものである。シリコン基板の格子面が見えることから、格子像と呼ばれている。このように、原子レベルの詳細な構造が観察できることから、近年では先端デバイスの構造的な解析によく用いられるようになってきている。

### 2. 3. 3 FIB(集束イオンビーム)

Ga イオンビームを細く絞ることで実現したFIB<sup>(12)</sup>は局所領域のエッチング加工が可能で、物理解析サポートツールとしてよく用いられる。また、12インチウェーハ対応のFIB装置がすでに市販化され、SEM、EDX等の機能も搭載可能となり、物理解析の効率化が図られている。FIB併用のSEM観察法は、故障解析によく用いられる方法で、故障箇所を対象とした簡便な断面SEM観察が行える。一方、FIB併用のTEM観察法は、FIB登場以後、様々なTEM試料作製法が検討され、TEM試料作成のスループット向上やEDX分析などの精度向上のための改善がなされている。

FIB(Focused Ion Beam:集束イオンビーム)装置はソースから電界により放出させたイオン(Ga イオンを使用する場合が多い)ビームを細く絞って試料に照射する装置であり、イオンビームのスputtering特性を用いて、試料の局所的な断面加工によるSEM評価試料やTEM評価試料作製が可能である。図2-25にFIB加工を用いての所望箇所のエッチング/カッティングや所望の箇所へのメタル配線形成を行う模式図を示す。図2-25(a)はFIBを用いたエッチング加工を示している。所望の領域に集束させたイオンビームを照射し、試料の表面の特定領域をスパッタリングして、削っていく手法である。図2-25(b)はW(CO)<sub>6</sub>ガスをノズルより供給し、イオンビームとの作用により、試料表面にタングステンの膜を形成する手法である。イオンビーム照射領域のみ堆積するので、任意のタングステン配線を形成する。

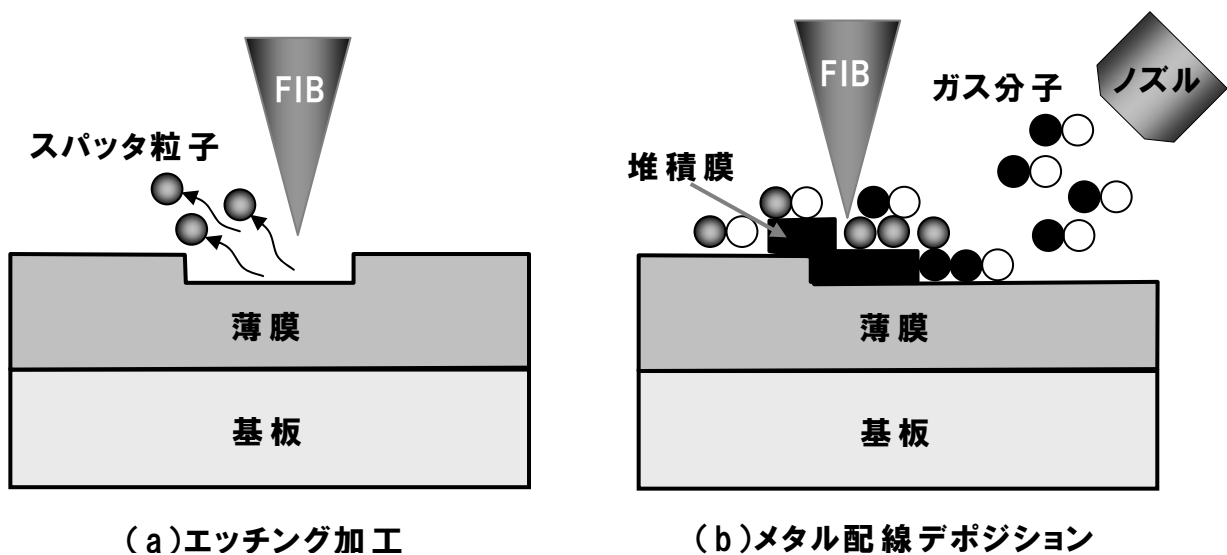


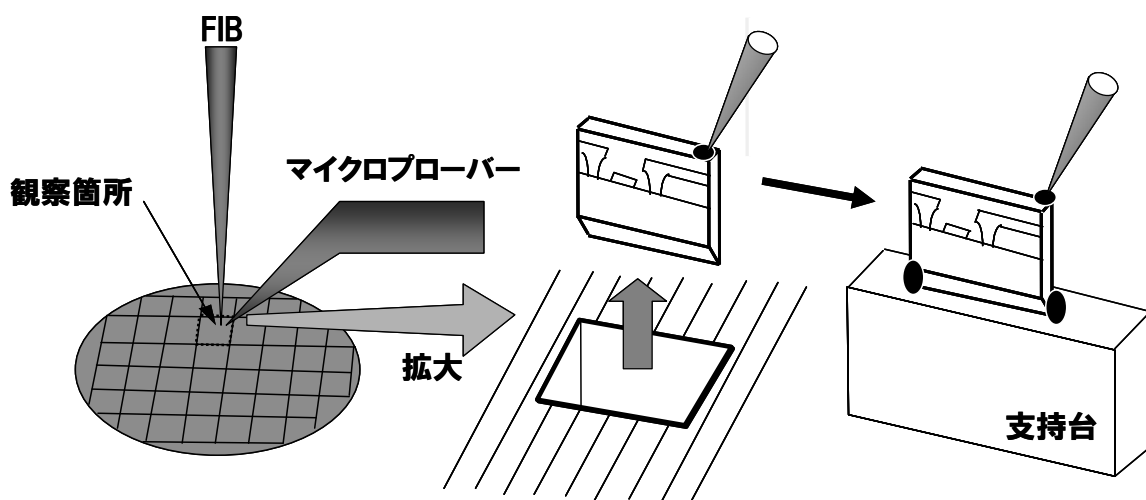
図2-25 FIBを用いた加工例

## 2.3.4 FIBを用いたTEM試料作製

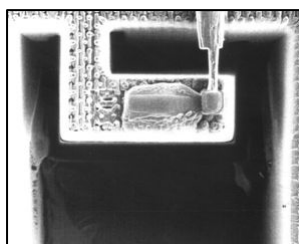
半導体デバイス生産工程に起因するトラブルに対しては、生産の安定性確保・量産維持の観点から早期発見と対策が必須である。従って、原因究明のための半導体デバイスの物理解析にも迅速さが要求される。それは、近年重要性が高まっているTEM評価でも同様である。半導体デバイスの故障・不具合は、そのデバイス中の特定箇所で発生する極微小な異常が関わるが多くなってきたため、これに対応するTEM評価技術の必要性が高まってきた。FIBを応用したTEM試料作製技術は、こうした要求に答える技術である。

FIBを用いたTEM試料作製方法はいくつかある。ここでは、LSIの解析用によく用いられるマイクロサンプリング法<sup>(13-14)</sup>とピックアップ法(またはリフトアウト法とも呼ばれる)<sup>(15-17)</sup>の2つの手法について述べる。基本的に両者の作製フローにおいて、共通するフローがあるが、マイクロサンプリング法はピックアップ法に比べ、多少手間がかかるが、TEM試料としての再加工が可能なため、詳細なTEM評価や故障解析などに用いられる。一方、ピックアップ法は試料作製における工程が少なく、短時間でのTEM試料作製が可能なため、プロセス条件を最適化するための評価において、一度に多くのサンプルのTEM評価を行うことが可能である。

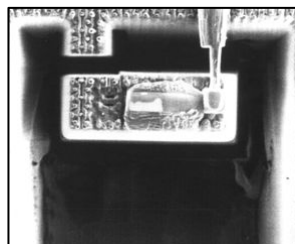
マイクロサンプリング法による TEM 試料作製法の模式図を図 2-26(a)に示し、実際の作製中の状態の写真を図 2-26(b)から図 2-26(e)<sup>(18)</sup>に示す。まず、TEM 評価対象箇所を、一部を残して FIB 加工により除去する。次にマイクロプローバを FIB の金属膜堆積機能を使って TEM 試料対象部に接続する。その後、残りの一部も FIB 加工で除去して、TEM 試料部を移動させて TEM 試料台上に搭載する。その後、マイクロプローバの先端部を FIB 加工により切り離す。TEM 試料台上の TEM 試料を TEM 観察可能な厚さまで FIB を用いて薄膜化加工を行い、TEM 試料作製が完了する。この方法のメリットは TEM 試料の追加加工が可能であり、故障解析用途によく利用される。



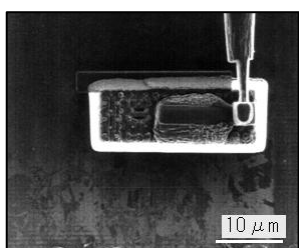
(a) 試料作製フロー模式図



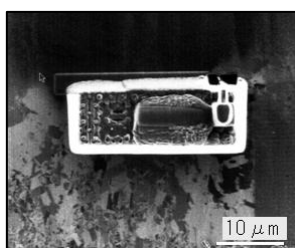
(b) マイクロプローバ接続



(c) TEM 試料切り離し



(d) TEM 試料ホルダーに接続

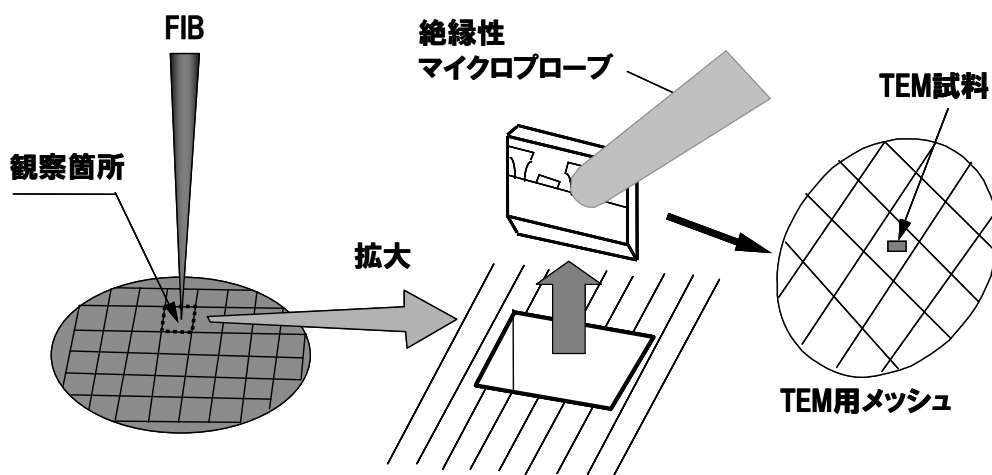


(e) マイクロプローバの切り離し

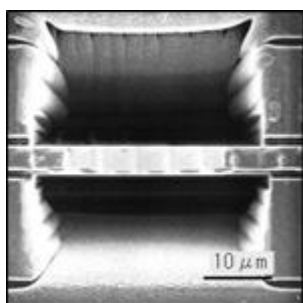
図 2-26 マイクロサンプリング法による TEM 試料作製フロー<sup>(18)</sup>



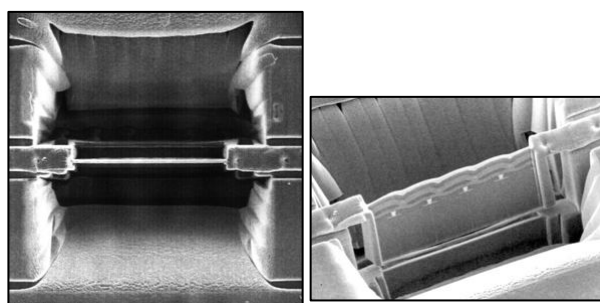
ピックアップ法による TEM 試料作製法の模式図を図 2-27(a)に示し、実際の作製中の状態の写真を図 2-27(b)から図 2-27(e)<sup>(18)</sup>に示す。FIB 加工により TEM 観察レベルまでの薄膜化を行う。その後、両端を切り離し、絶縁性のマイクロプローブにより静電気力により TEM 試料を取り上げ、TEM 用のメッシュ上に貼り付けて、TEM 試料を完成する。この方法のメリットは、TEM 試料作製の所要時間が短く、他の TEM 試料作製法と比べて短時間に多くの評価試料を作製することができる。ウェーハ上の複数箇所の TEM 試料を一度に行うときに有効な手法である。



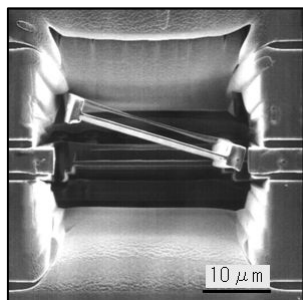
(a) 試料作製フロー模式図



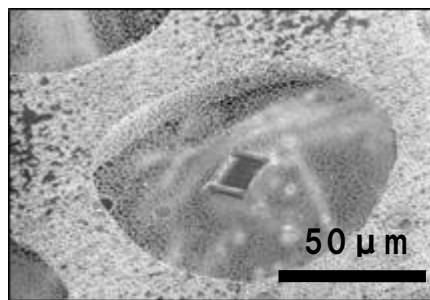
(b) FIB 粗加工



(c) FIB 仕上げ加工



(d) TEM 試料切り離し



(e) TEM 用メッシュに貼り付け

図 2-27 ピックアップ法による TEM 試料作製フロー

FIB 加工による TEM 試料作製における課題もある。図 2-28 に FIB 加工を用いて作製した TEM 試料と従来の TEM 試料作製法（機械的研磨とイオンミリング研磨）により作製した TEM 試料の TEM 像を示す。従来の TEM 試料作製法に比べ、FIB 加工法では、TEM 像の像質が悪いことが分かる。

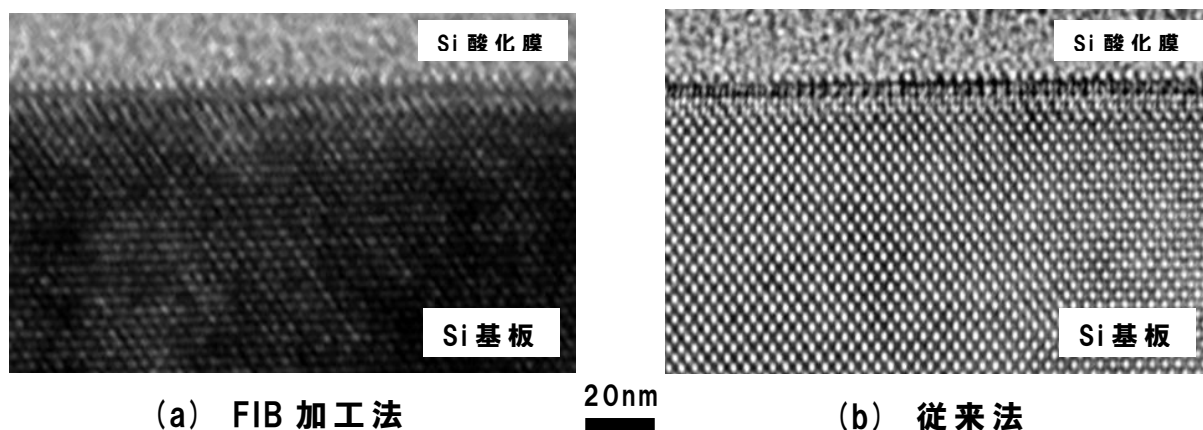


図 2-28 FIB 加工法と従来法による TEM 試料の断面 TEM 像（格子像）

FIB 加工法における TEM 像の像質の悪い原因は、TEM 試料作製時における FIB のイオンビームによるダメージ層の形成に起因している。図 2-29 に FIB 加工により形成されたダメージ層を示す。図における FIB 加工は加速電圧 30kV の条件で行っており、このとき、試料表面には 30nm 厚程度のダメージ層が形成される。ダメージ層において TEM 観察時に試料に入射される電子線は非弾性散乱を起こし、像質の劣化を招く。精密な TEM 評価のためにはこのダメージ層を軽減させる必要がある。この対策として、低加速電圧での FIB 加工あるいは低加速電圧でのイオン研磨を行う手法がある。

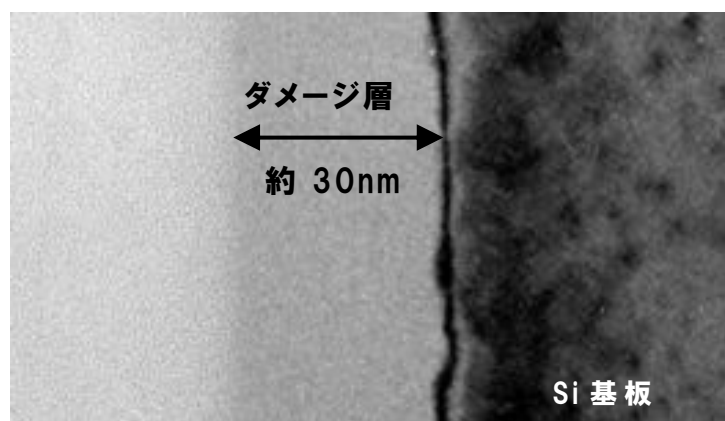


図 2-29 FIB 加工によるダメージ層（TEM 像）

### 2.3.5 元素分析

LSI の故障解析やプロセス評価を行う場合に、元素分析を行う場合がある。故障やプロセス異常の原因となる異物が発生した場合の異物の素性を調べるためである。主に用いられる元素分析技術とその性能を図2-30に示す。

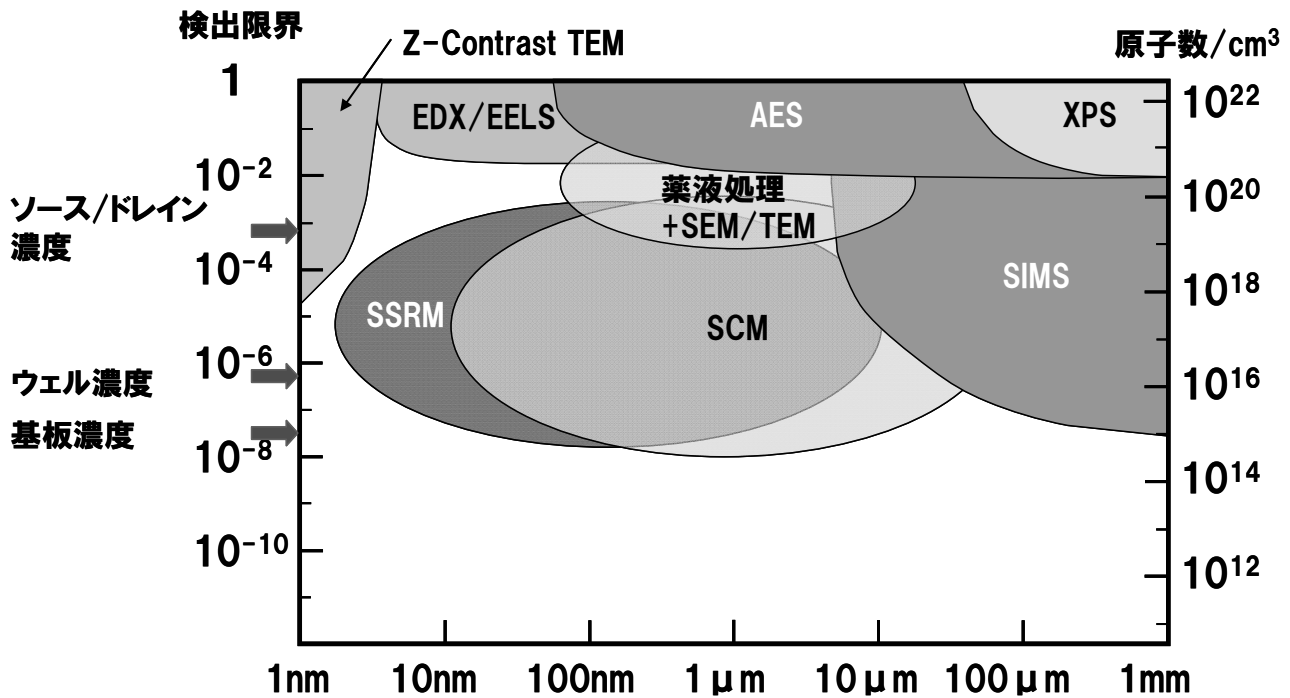


図2-30 各種元素分析手法の分解能と検出感度

異物対象の元素分析は、SEMに搭載するEDX、TEMに搭載するEDXやEELS、そしてAESなどの分析装置で行われる。いずれも入射プローブとして電子線が使用される。EDXは電子線照射時に試料内から発生する特性X線を検出し、元素を同定する装置である。また、EELSはTEM試料への電子線照射時に試料内で発生する非弾性散乱による入射電子線のエネルギー損失量を分析し、元素を同定する装置である。AESは電子線照射時に試料最表面近傍から発生するオージェ電子を分析し、元素を同定する装置である。TEM-EDX、TEM-EELS、AESは0.1μm以下のサイズの異物の元素分析が十分可能であり、現在のLSI故障解析に有効な技術である。また、原子番号に対応したコントラスト像を得ることが可能なZ-Contrast TEM観察手法も有効な手法である。原子番号が近い原子同士の観察では、区別が難しいが、原子番号が離れた原子同士の評価においては有効な手法である。

また、シリコン基板中のドーパントプロファイル評価に有効な技術として、SCM(走査キャパシタンス顕微鏡)やSSRM(走査広がり抵抗顕微鏡)評価技術がある。

### 2.3.6 SCM(走査容量顕微鏡)

SCM の測定系を図2-31に示す。基本的な構成は、AFM と同じである。ただし、導電性カンチレバーを介して得られる情報は探針と試料間に形成される容量である。試料に対し、直流電圧と交流電圧を印加し、キャパシタセンサーとロックインアンプを用いて、探針と試料間に形成される容量の変化についてロックインアンプを通して測定する。探針と容量を形成する対象電極は P 型や N 型のシリコン領域になり、高濃度ドーパント領域では感度的に厳しいが、低濃度ドーパント領域では、高感度な解析が行える。

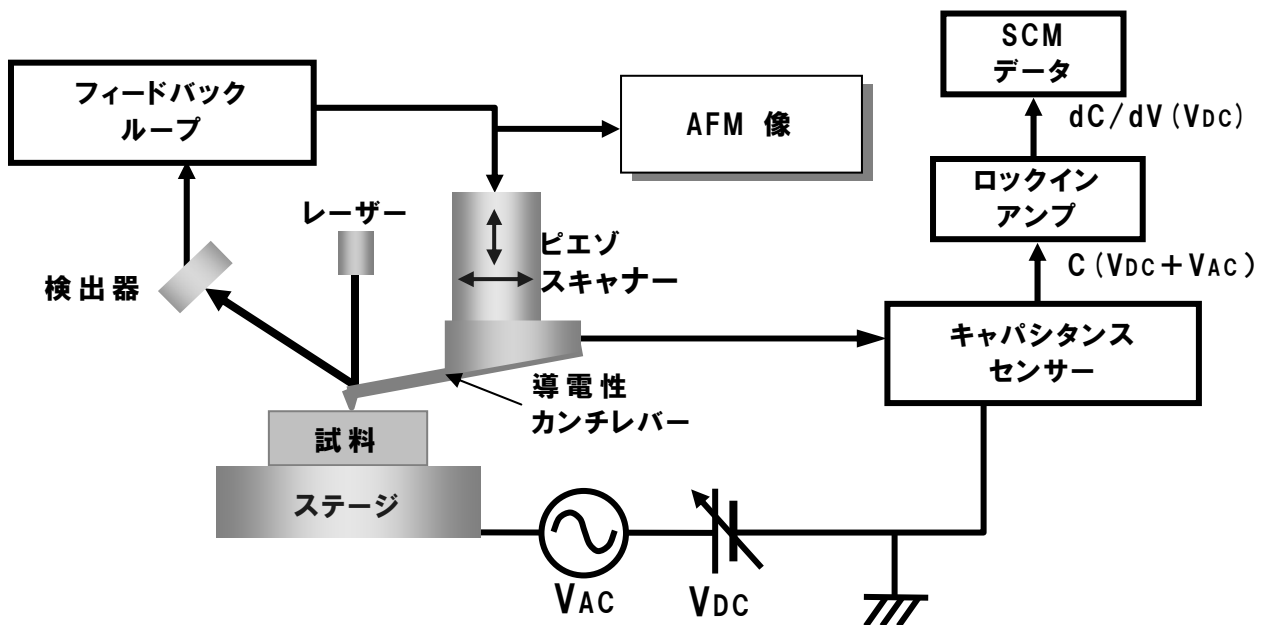


図2-31 SCM 評価システム

SCM の測定時の状態を図2-32に示す。拡散層の上層に薄いシリコン酸化膜を形成した状態で探針を走査させて評価を行う。図2-32(a)は評価試料が高濃度の拡散層試料であり、図2-32(b)は低濃度の拡散層試料である。評価試料に直流電圧と交流電圧が印加した場合、探針と試料の接触部に、図で示す空乏層が形成される。空乏層の厚さは拡散層の濃度に影響され、濃度が薄いと空乏層の厚さは厚くなり、濃度が濃いと空乏層の厚さは薄くなる。図2-33に N 型拡散層試料の C-V 曲線を示す。横軸は探針と試料間の印加電圧で、縦軸は容量である。図に示すように同じ電圧条件で直流電圧に交流電圧を重畳させて印加した場合、高濃度試料の場合の容量変化は小さく、低濃度試料の容量変化は相対的に大きくなる。すなわち、低濃度試料の方が SCM 信号強度を大きく取れる特徴がある。逆に高濃度試料における SCM 信号強度は小さめであり、SCM 評価の検出感度に影響し、実際の検出感

度は,  $10^{-15} \sim 10^{-20} \text{cm}^{-3}$  程度の範囲になっている. 実際に P 型トランジスタの断面に対して SCM 評価を行った例を図 2-34 に示す. P 型の拡散層が顕在化できている.

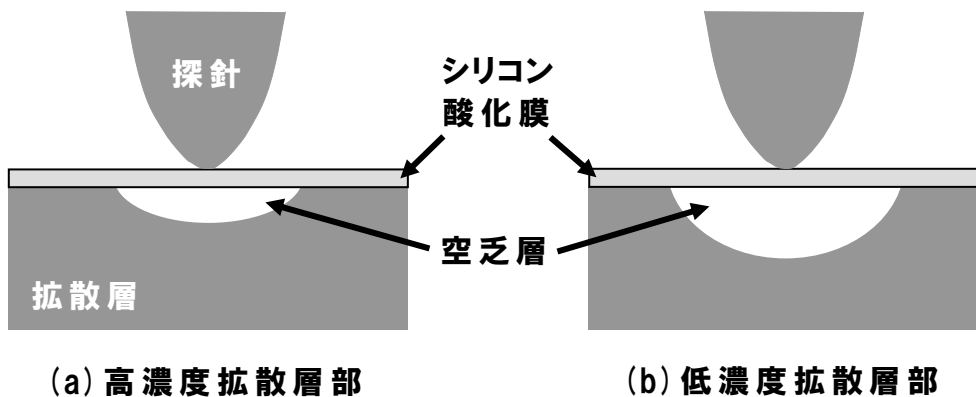


図 2-32 SCM 測定時の空乏層の広がり状態

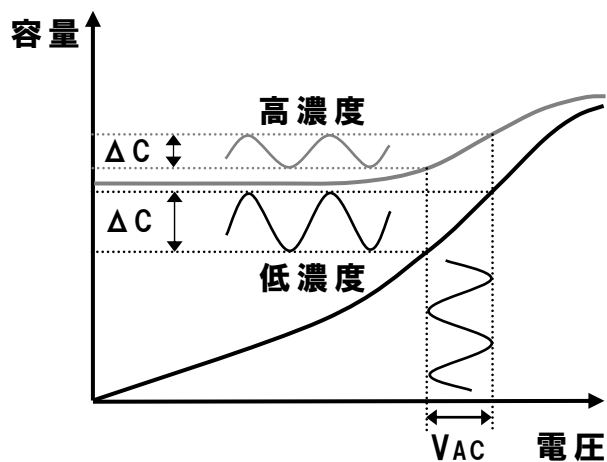


図 2-33 N型拡散層試料のC-V 曲線

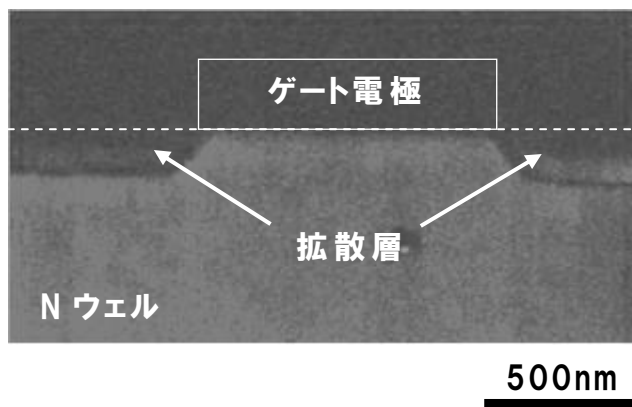


図 2-34 P 型拡散層の SCM 評価例

### 2.3.7 SSRM(走査広がり抵抗顕微鏡)

SSRM は図2-35に示すように、測定系は試料と探針間に DC バイアスのみを印加してその間に流れる電流を測定して、抵抗に換算し、SSRM データを取得している。

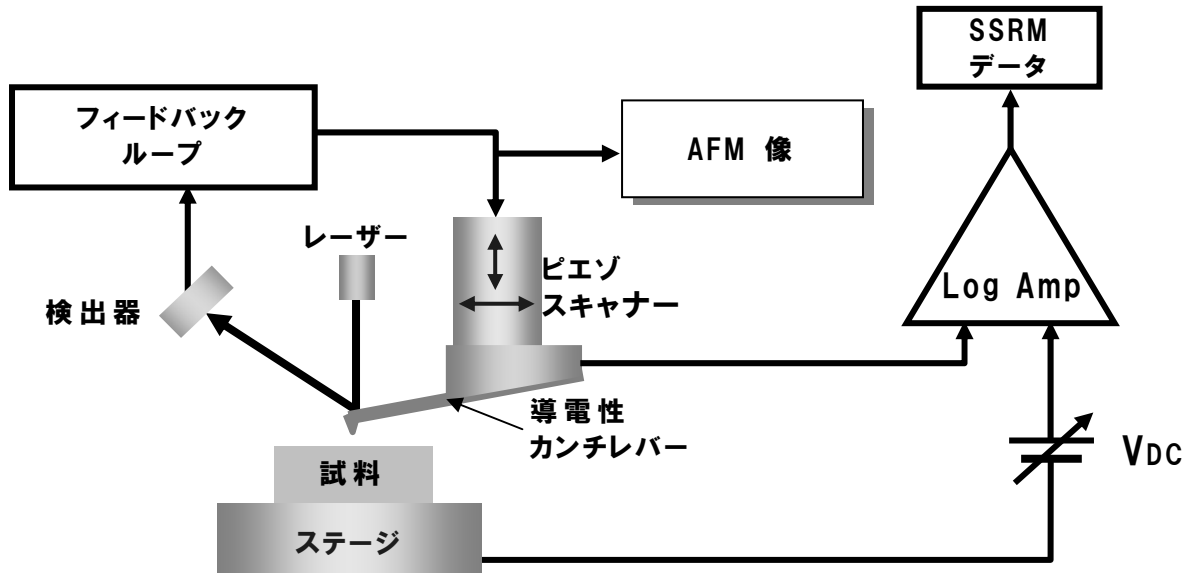


図2-35 SSRM 測定システム

SSRM 測定については、図2-36に示すように、抵抗全体の中に広がり抵抗の他に探針と試料の接触抵抗と裏面電極と試料間の接触抵抗も直列に接続されており、(2-1)式で表される。

$$R(\text{全体}) = R(\text{探針側の接触抵抗}) + R(\text{広がり抵抗}) + R(\text{裏面電極の接触抵抗}) \quad (2-1)$$

広がり抵抗自身は(2-2)式で示される。

$$R(\text{広がり抵抗}) = CF \times k \times \rho / 2\pi r \quad (2-2)$$

$$\rho = 1 / \mu q N \quad (\mu \text{はキャリア移動度, } q \text{は電荷量, } N \text{はキャリア濃度})$$

CF は広がり抵抗の体積効果による補正項, k は探針と試料のショットキー障壁における極性依存性による補正項, rは探針先端の曲率半径,  $\rho$  は比抵抗率である。

SSRM の長所は定量評価が可能なことと, SCM 評価に比べ空間分解能が高いことである。SCM では、空乏層における容量の変化を検出する手法のため、空乏層の広がり空間分解能を律速する。SSRM 評価においては、探針先端部の形状を改善に

より先端部の曲率を小さくすることが可能で、これにより数 nm の空間分解能での評価が可能である。測定試料の拡がり抵抗のみを抽出するためには、 $R$ (探針側の接触抵抗)と $R$ (裏面側電極の接触抵抗)が $R$ (拡がり抵抗)よりも十分に小さくすることが重要である。図 2-37 にトランジスタの断面に対して行った SSRM 評価例を示す。

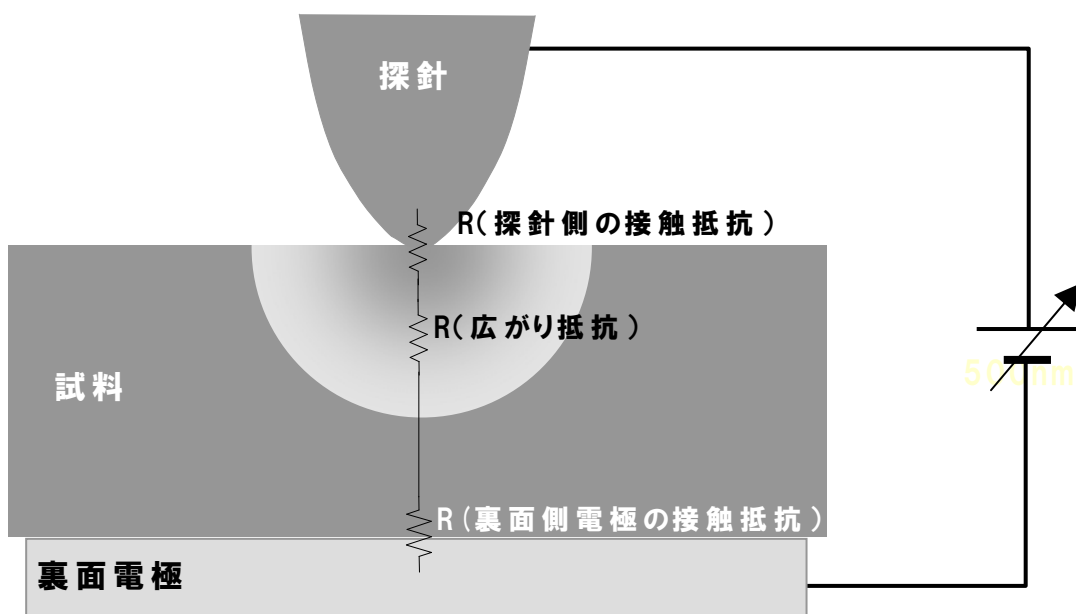


図 2-36 SSRM 測定原理



図 2-37 P型トランジスタ部の SSRM 測定例

## 2.3.8 応力評価技術

近年、TEM(透過電子顕微鏡)用のエネルギーフィルタ装置が開発され、コアロス電子による結像を利用した半導体のナノメートル領域の二次元元素マッピングや非弾性散乱電子を除去し、ゼロロス電子(弾性散乱電子)のみで結像した低ノイズのTEM像等の取得が可能となり、デバイスの有効なTEM評価法である。また、電子線回折法の一つに、収束電子線回折<sup>(19-23)</sup>(CBED: Convergent Beam Electron Diffraction)法があり、ナノメートル領域の格子定数等の結晶情報を得ることができることから材料研究分野で成果を挙げている。このように、極微小領域の直接観察が可能なTEM法は、半導体デバイス評価においてもデバイスの微細化とともにその評価需要は増大しており、積極的な技術開発が行われている。一方、半導体デバイス開発においては、高集積化に伴い、素子分離部が基板に与える応力が接合リーク故障等を引き起こし、深刻なデバイス故障となる場合がある。そのため、デバイス性能の最適化には基板の応力分布の情報は重要である。従来、応力測定には主にX線回折法やラマン分光法が用いられているが、半導体デバイス構造に対して、これらの手法の空間分解能は十分とは言えない。表2-3にLSIの評価に対応する応力評価手法の空間分解能と検出感度を示した。CBED評価手法は空間分解能および歪量検出感度において優れた性能を有する手法である。

表2-3 各種応力評価手法と性能<sup>(24)</sup>

	空間分解能	歪み量検出感度
CBED	10~20nm	0.02%
NBD	10nm	0.1%
X線回折	100 μm	0.01%
Raman 分光	150nm	0.02%

結晶性の評価においては透過電子顕微鏡の一機能である電子線回折法が一般に利用される。電子線回折法による例を図2-38に示す。この図では、便宜上、3つのスポットを示している。真ん中のスポットはダイレクトスポットであり、照射された電子線が試料内部で弾性散乱を受けることなく評価試料を透過した成分がダイレクトスポットとして観察される。評価試料が結晶性の場合には、電子線はブラッグの条件である(2-3)式を満たす結晶面で回折する現象が発生する。



$$2d \cdot \sin \theta = \lambda \quad (2-3)$$

ここで、 $d$  は評価試料の格子定数、 $\theta$  は結晶面と電子線のなす角度、 $\lambda$  は電子線の波長である。図2-38に示すように、回折された電子線は、ダイレクトスポットとは異なる位置にスポットとして観察される。実際の結晶面は低次のものから高次のものまでさまざまな結晶面が存在しており、電子線回折像では多くのスポットが観察される。

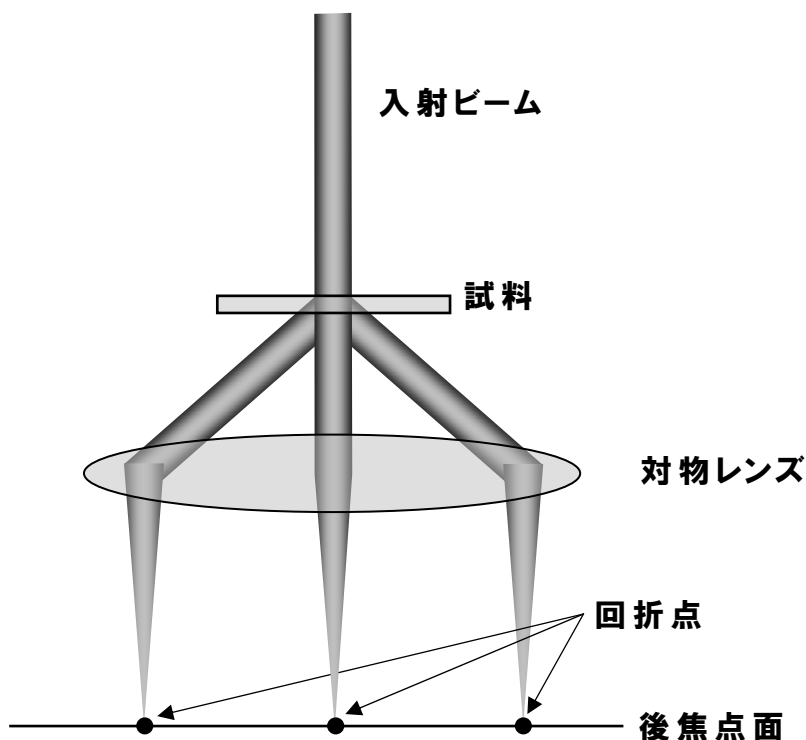


図2-38 電子線回折

CBED 法も電子線回折法に基づいており、結晶面でのブラッグの条件を利用した手法である。図2-39に一次的に簡略化したCBED 評価の模式図を示す。 $\theta_B$  はブラッグ条件を満たしたときの電子線と試料表面とのなす角度のことで、 $\theta_B$  が十分に小さい角度として、(2-4)式で近似できる。

$$2\theta_B \doteq \lambda / d \quad (2-4)$$

図2-39のレンズ中にポイントPを表記している。このPを通過する電子線は試料到達まで実線で示される経路を通る。結晶性の試料中でも弾性散乱の影響を受けなかった電子線は図中投影部に表記されている3つのスポットのうち、真ん中のスポットに到達する。結晶性試料中で弾性散乱の影響を受けた電子線は、左右のス

ポット中の  $P_1$ ,  $P_2$  に到達する.  $P$  を通過する電子線は CBED で用いられる収束電子線の一部を指しており, 実際にはレンズ中の  $P$  の位置の他, 多くの位置を電子線は通過しているので, 投影箇所においても, それぞれの位置に対応する多数の位置に電子線が照射されることになる. ここで, 図中に示した  $X$  は  $\theta_B$  が十分に小さいとみなして, (2-5)式で表される.

$$X = L 2 \theta_B \doteq L g \lambda \quad (2-5)$$

ここで,  $L$  はカメラ長,  $g$  は逆格子ベクトルである.  $P_0$  と  $P_1$ ,  $P_0$  と  $P_2$  間の距離は, カメラ長や評価試料の結晶構造で決まる.

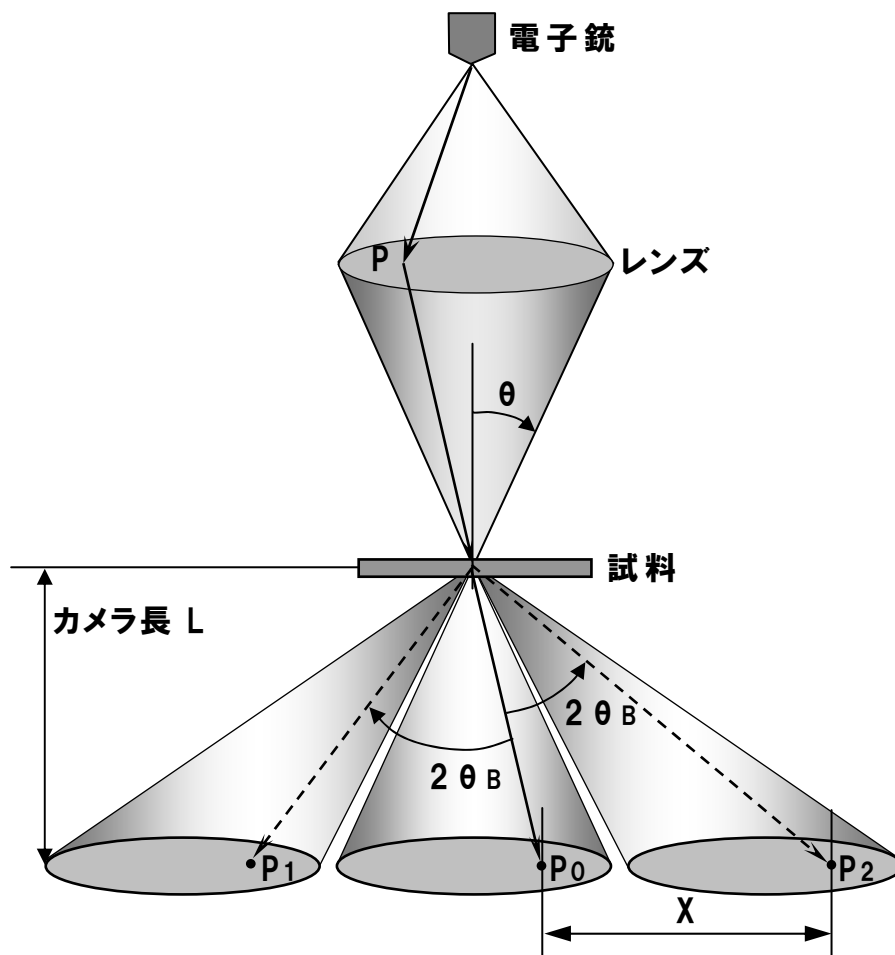


図2-39 CBEDの電子線の経路

図2-40は2つのエwald球で, 両者は $\alpha$ 分だけ角度がずれている. 点線で示した方がブラッグ条件を満たしている. エwald球とは, ある逆格子点から, 試料結晶に対する入射波の方向に沿って入射波の波長の逆数  $1/\lambda$  の距離にある点を中心と

して、半径  $1/\lambda$  の球のこと。エwald球はブラッグ反射の起こり方を、逆空間における入射波と逆格子点の関係を使って説明するのに用いられる。エwald球の上に乗っている逆格子点は全てブラッグ条件を満たす。図2-40より、

$$K_t = -g/2 - K S_g / g \quad (2-6)$$

ここで、 $S_g$ (励起誤差)はある反射  $g$  のブラッグ条件からのずれを表すパラメータのことで、逆格子点  $g$  から、試料の上表面と垂直な方向に測った、エwald球までの距離である。(2-6)式を書き換えると、

$$2K S_g = -2K_t g - g^2 \quad (2-7)$$

となる。

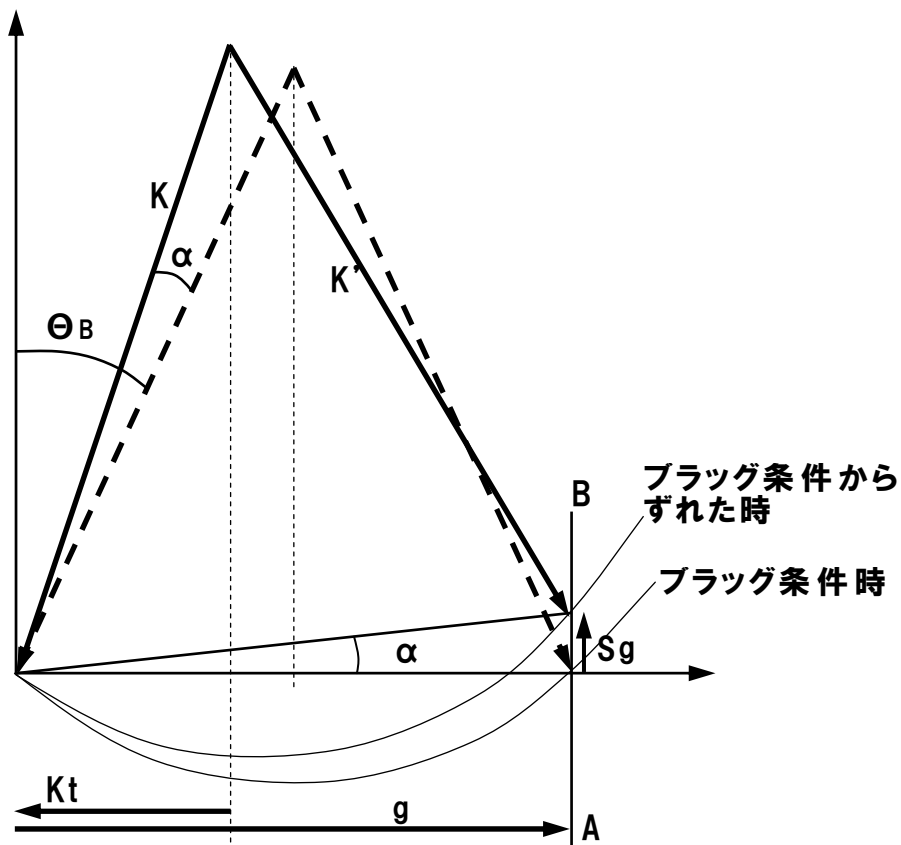


図2-40 角度  $\alpha$  ずらした2つのエwald球

図2-41には、幾何学的な HOLZ (Higher-Order Laue Zone) 線の作図を示す。図において、左側のコーンで示される入射ビーム  $K$  の方向は、 $g$  ベクトルに垂直な平面でのブラッグ条件を満たしている。また、回折ビーム  $K'$  は右側のコーンで示されている。HOLZ 線の対が、2つのコーンが観察面に投影されるところで形成される。実際に観察される HOLZ 線の対を図2-42の模式図で示す。000 ディスク中には暗 HOLZ 線、回折ディスク中には明 HOLZ 線が観察される。

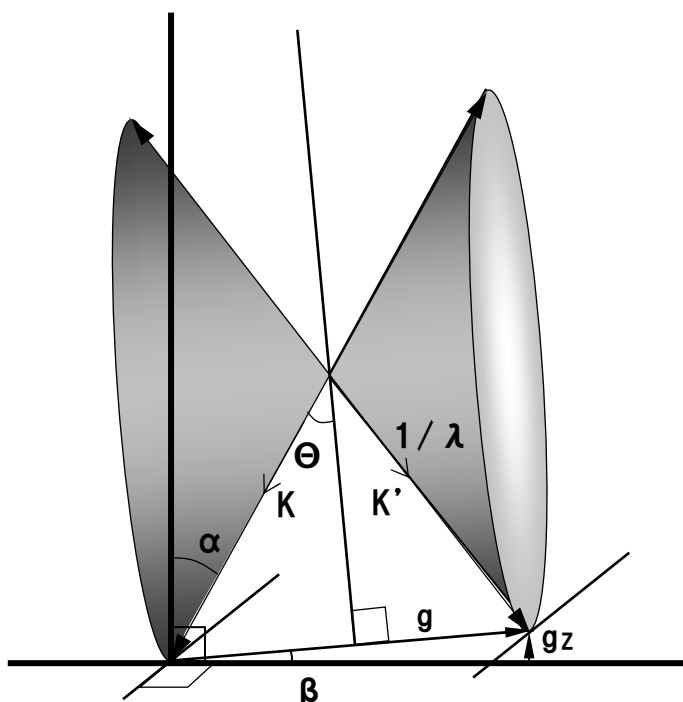


図2-41 ブラッグ条件を満たす入射と回折形成されるコーン

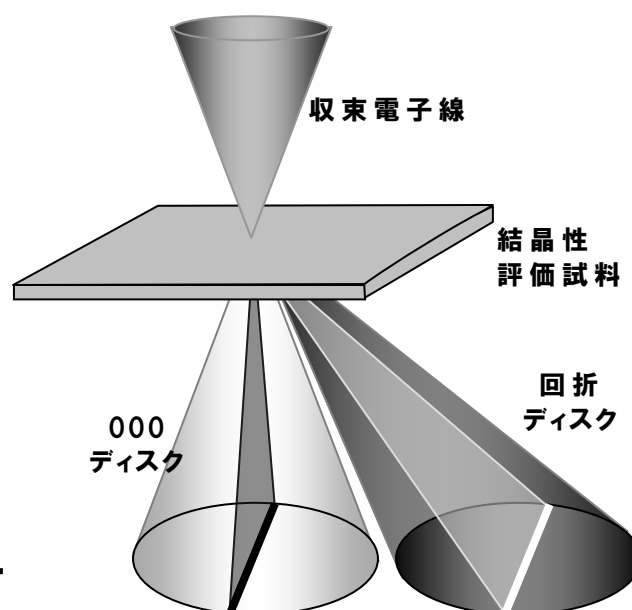


図2-42 HOLZ 線の形成

000 ディスク内に観察される HOLZ 線は(2-7)式において、三次元空間に拡張させて表記すると、(2-8)式で表される。

$$g_x K_x + g_y K_y - g_z K_z = -g^2/2 \quad (2-8)$$

### 2.3.9 エネルギーフィルタTEM

精密なTEM評価の一つの障害になるのが、電子ビームがTEM試料を透過する際に生じる電子の非弾性散乱現象である。電子がTEM試料を透過するとき、試料内ではさまざまな現象が起こり、表2-4および図2-43示すような電子が発生する。

表2-4 試料内で発生する電子の種類と素性

電子の種類	電子の素性
ゼロロス電子 (エネルギーロスなし)	透過電子や弾性散乱電子
プラズモンロス電子 (エネルギーロスあり)	試料中の電子雲のプラズモンを励起し、その分のエネルギーを失う電子(非弾性散乱電子)
コアロス電子 (エネルギーロスあり)	原子の内殻電子を励起することで、その分のエネルギーを失う電子(非弾性散乱電子)

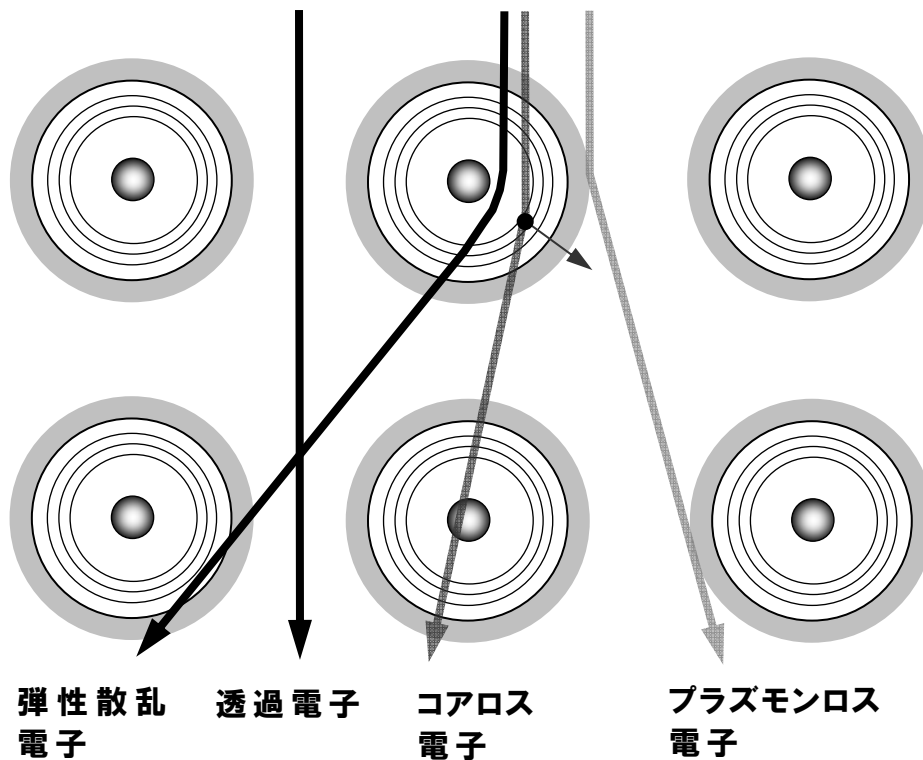


図2-43 試料を透過した電子の種類

非弾性散乱電子はプラズモンロス電子とコアロス電子を指す。TEM評価自体は電子の弾性散乱を利用して評価試料の内部情報（結晶情報など）を含んだ像観察を行うが、このとき、非弾性散乱電子も同時に発生する。非弾性散乱電子の影響はTEM試料膜厚が厚いほど顕著になり、TEM像質を著しく劣化させる。半導体デバイスは三次元的に複雑な構造で、複数の材料で構成されるため、像質の劣化は半導体デバイス評価の大きな妨げになる。一方、先端デバイスであるほど、極微小な異常がデバイス特性に与える影響は大きいため、こうした極微小な異常を感度良く検出する必要性も高まっている。エネルギーフィルタTEMは非弾性散乱電子を除去し、鮮明な像観察を可能とするため、デバイス構造中の極微小な異常を感度良く検出できる。エネルギーフィルタ装置はインカラム型（鏡筒内に含むタイプ）とポストカラム型（鏡筒の下に取り付けるタイプ）の二種類がある。ポストカラム型のエネルギーフィルタTEMの装置構成を図2-44に示す。

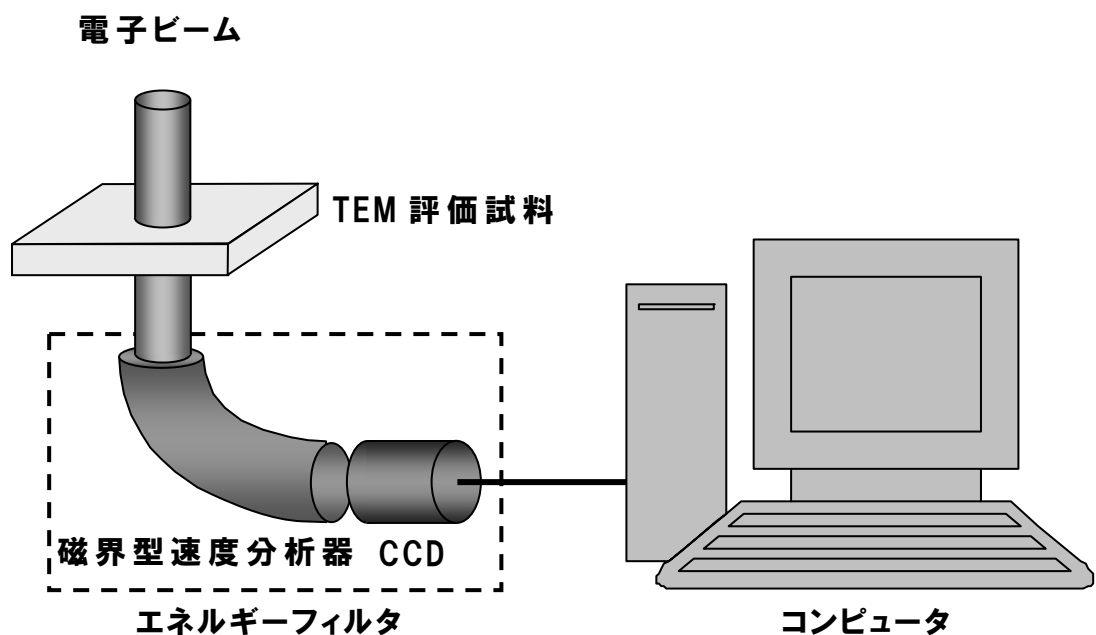


図2-44 エネルギーフィルタ装置

試料を通過した電子は磁界型速度分析器により分光される。TEM試料内でエネルギーを失った電子はこの磁界型速度分析器ではエネルギーを失っていない電子よりも強く曲げられる。その後スリットを用いて、さまざまな角度に曲げられた電子のうち、特定の角度に曲げられた電子のみを通過させるスリットを用いることで、エネルギーフィルタ操作が可能となる。選択した電子をCCD検出器で検出することでエネルギーフィルタTEM像観察が行える。シリコン基板の断面 TEM試料から得られる低エネルギー領域の電子線エネルギー損失スペクトル例を図2-45に示す。通常のTEM試料膜厚(0.1  $\mu\text{m}$ 程度)の場合、ゼロロスのピーク値は高く、プラズモンロスのピーク値は低い。これに対し、TEM試料が厚い場合には試料内でのプラズモンロス電子は増大し、ゼロロスのピーク値が低くなる。エネルギーフィルタTEM評価法ではピーク値の高いゼロロス電子あるいはプラズモンロス電子のみを選択し、結像することにより、像質の高いTEM像を得ることができる。

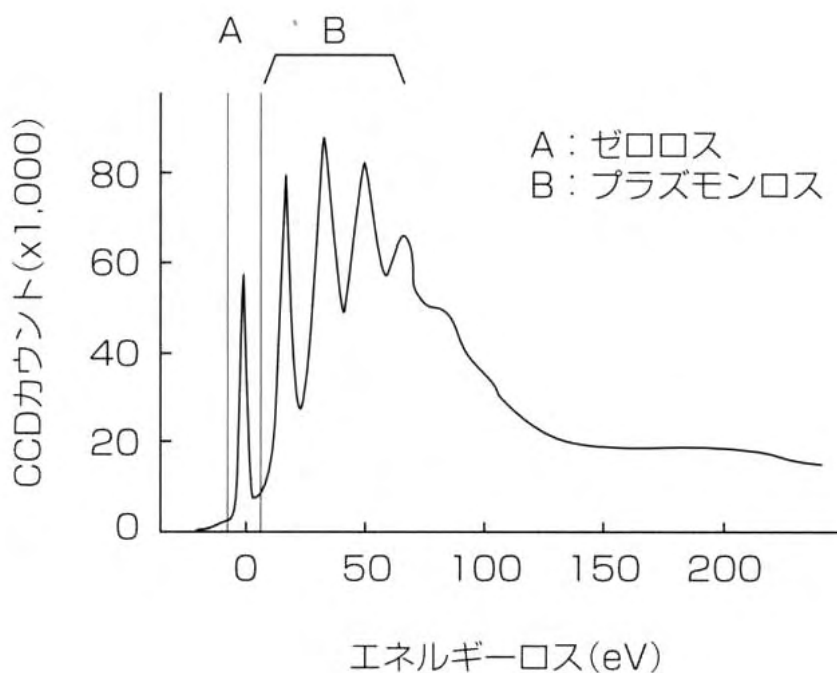
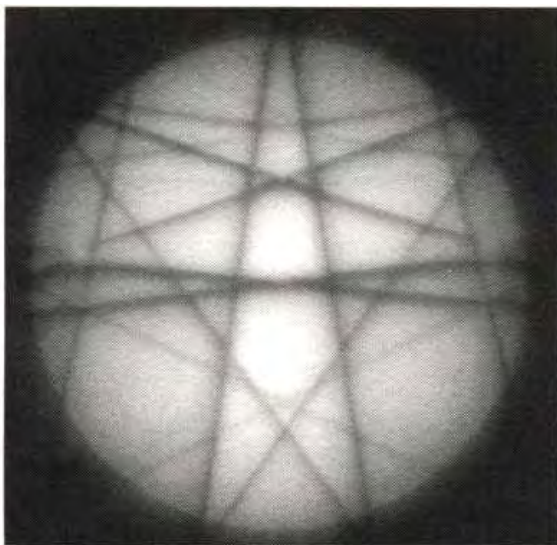
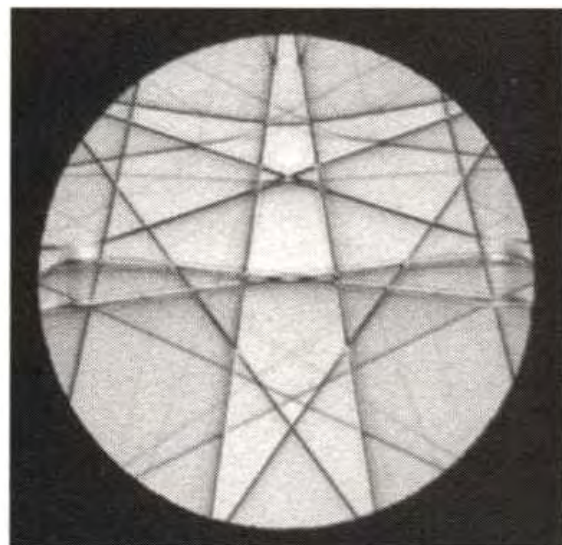


図2-45 EELS スペクトル

エネルギーフィルタTEMを用いた評価事例を紹介する。前述の極微小領域の応力評価に有効な CBED 評価の事例である。この評価で重要なことは、応力算出の精度は回折パターンの明瞭さに大きく依存することである。図 2-46 にシリコン基板を対象に行った CBED 評価例を示す。この図には、通常の TEM 法で得られる CBED パターン(エネルギーフィルタなし)とエネルギーフィルタを介して得られる CBED パターン(エネルギーフィルタあり)を示している。通常の TEM 法ではぼやけた回折パターンしか得られていないのに対して、エネルギーフィルタ TEM 法を適用した場合には、鮮明な回折パターンを得ることができる。本研究に使用した CBED 評価手法では、エネルギーフィルタ法を適用して、測定精度の向上を図っている。



(a) エネルギーフィルタ未適用



(b) エネルギーフィルタ適用

図 2-46 CBED パターン



## 参考文献

1. 浅谷紀夫, 三橋順一, 宇廻功二, 内藤健作, “裏面フォルトアイソレーションのためのシリコンチップ薄膜化手法の検討”, LSI テスティングシンポジウム会議録, (1998)p.187
2. M. Paniccia, R. M. Rao, and W. M. Yee, “Optical probing of flip chip packaged microprocessors”, J.Vac. Sci. Technol.B **16(6)**, (1998)p.3625
3. 吉田映二, 小山徹, 小守純子, 益子洋治, “裏面プロービング技術の検討”, LSI テスティングシンポジウム会議録, (2000)p.94
4. T. Koyama, E. Yoshida, J. Komori, Y. Mashiko, T. Nakasuji, and H. Katoh, “High Resolution Backside Fault Isolation Technique Using Directly Forming Si Substrate into Solid Immersion Lens”, Proc. of International Reliability Physics Symposium, (2003)p.529
5. K. Nikawa, C. Matsumoto, S. Inoue, “Novel Method for Defect Detection in Al Stripes by Means of Laser Beam Heating and Detection of Changes in Electrical Resistance”, Jpn. J. Appl. Phys. **34**, (1995)p.2260
6. H. Maeda, Y. Imai, T. Koyama, M.K. Mazumder, K. Fukumoto, Y. Mashiko: “Nanoscale fault isolation technique by conducting atomic force microscopy”, Proc. of International Symposium on Semiconductor Manufacturing, (2001)p.251-254
7. Y. Mitsui, F. Yano, Y. Nakamura, K. Kimoto, T. Hasegawa, S. Kimura, and K. Asayama, “Physical and Chemical Analytical Instruments for Failure Analyses in G-bit Devices”, Proc. of International Electron Devices Meeting, (1998)p.329
8. 矢野史子, 柳田博史, 水野貴之, 荒川史子, 小川吉文, 寺田尚平\*, 朝山匡一郎, “ナノプローバとTEMを用いた故障解析手法の開発”, LSI テスティングシンポジウム会議録, (2003)p.273
9. 龍康夫, 留目誠, “AFM式ナノプローブAFP(Atomic Force Probe)の故障解析への適用”, LSI テスティングシンポジウム会議録, (2005)p.353
10. Peter Egger, et al, “A New Approach for SRAM Soft Defect Root Cause Identification”, Proc. of International Symposium for Testing and Failure Analysis, (2007)p.14

11. R. J. Young, E. C. G. Kirk, D. A. Williams, and H. Ahmed, "Fabrication of Planar and Cross-sectional TEM specimens using a Focused Ion Beam", Materials Research Society Symp. **199**, (1990)p.205
12. Y. Mashiko, H. Morimoto, H. Koyama, S. Kawazu, T. Kaito, and T. Adachi, "A New VLSI Diagnosis Technique: Focused Ion Beam Assisted Multi-level Circuit Probing", Proc. of International Reliability Physics Symposium, (1987)p.111
13. M. Saito, T. Aoyama, T. Hashimoto, and S. Isakozawa, "Transmission Electron Microscope Sample Shape Optimization for Energy Dispersive X-Ray Spectroscopy Using the Focused Ion Beam Technique", Jpn. J. Appl. Phys. **37**(1998)p.355
14. T. Ohnishi, H. Koike, T. Ishitani, S. Tomimatsu, K. Umemura, T. Kamino, "A New Focused-Ion-Beam Microsampling Technique for TEM Observation of Site-specific Area's", Proc. of International Symposium for Testing and Failure Analysis, (1999)p.449
15. L. R. Herlinger, S. Chevachoenkul, and D.C. Erwin, "TEM Sample Preparation Using A Focused Ion Beam and A Probe Manipulator", Proc. of International Symposium for Testing and Failure Analysis, (1996)p.199
16. 鈴木直久, 田中智子, 鷺尾伸生: 電子顕微鏡学会 第 56 回 学術講演会 予稿集, 2000, p.303
17. 鈴木秀和, 岩崎浩二, 一宮豊, 八坂行人: 日本学術振興会第 132 委員会 LSI テスティングシンポジウム 99 議事録, 98-103(1999)
18. 古田正昭, 橋川直人, 廣瀬幸範, 福本晃二, 益子洋治: "短 TAT 化を実現する TEM 試料作製技術", 電子情報通信学会技術研究報告 Vol.100 No.517, (2000)p.7-13
19. M. Tanaka, K. Ueno and Y. Hirata, "Signal Processing of Convergent-Beam Electron Diffraction Patterns Obtained by the Beam-Rocking Method", Jpn. J. Appl. Phys. **19**(1980) p.L201
20. J. C. H. Spence and J. M. Zuo: Electron Microdiffraction (Plenum Press, New York, 1992) p. 7.
21. N. Hashikawa, K. Fukumoto, T. Kuroi, M. Ikeno and Y. Mashiko, "Direct observation of Local Strain Field for ULSI Devices", Microelectron Reliab., **38**,

(1998)p.913

22. 橋川直人, 福本晃二, 村田直文, 池野昌彦, 益子洋治, “CBED 法を用いた半導体デバイスの応力評価”, LSI テスティングシンポジウム会議録(1998) p.150
23. 福本晃二, 橋川直人, 村田直文, 池野昌彦, 益子洋治, “透過電子顕微鏡による半導体デバイスの評価解析技術”, 三菱電機技報 73, No.2, (1999)p.124
24. 2009 ITRS Metrology P.16

## 第3章 メモリLSIの大量故障解析技術開発と適用評価<sup>(1)</sup>

### 3.1 序

メモリデバイスの故障解析に対して、メモリLSIを構成する最小単位であるメモリセルの故障有無を明示したFail Bit Map(FBM)のデータ解析(FBM解析)<sup>(2-14)</sup>は歩留まり向上のための解析手段として活用されている。FBM解析用ツールの一つとして、FLEXS(Fault Isolation Expert System)<sup>(15)</sup>がある。このシステムでは、FBMに出現した故障分布の認識および故障モード分類を行い、その結果をデータベース化し、分類結果を表示する。故障ビット分布の認識により分類された特定あるいはいくつかの故障モードに対して、同一ウェーハ上でその故障モードの出現頻度が異なるテスト条件でどのように変化するかを解析することで故障モードを推定する。しかし、一般にテスト条件によって全く異なる故障分布が出現する場合、故障原因を推定することは困難なことである。

本章では、上記課題を解決するために、異なったテスト条件で取得した複数のFBMの認識結果をグループ化し、FBM空間の同一領域に出現する故障分布の組み合わせ結果と対象となるメモリデバイス構造やメモリ構成の特徴を比較して、予想される故障モードを決定する手法を開発した。

## 3.2 メモリデバイス対応の故障解析

### 3.2.1 メモリデバイスの概要

メモリデバイスには、SRAM(スタティックランダムアクセスメモリ)、DRAM(ダイナミックランダムアクセスメモリ)、そしてフラッシュメモリなどの不揮発性メモリなどがある。これらのメモリデバイスは、一般的に図3-1に示すような二次元に規則正しく配置された構成になっている。図3-1において、一つの四角いマスが1つのメモリセルを示している。メモリデバイスのメモリ容量をビット単位で表し、SRAMやDRAMは一般的に1セルが1ビットで構成されている。フラッシュメモリの場合には1セルが1ビットで構成されるデバイスや1セルが複数ビットで構成されるデバイスがある。ここでは、1セルが1ビットで構成されるメモリデバイスのケースを取り上げて説明する。図3-1の場合は、縦に16ビット(16行)、横に16ビット(16列)並んだ、合計256ビットのメモリ構成となっている。このメモリの動作について、データの読み出しを例として説明する。まず、メモリデバイス内の特定の箇所を指定するアドレスを外部から入力する。そのアドレスの一部を行デコーダ回路で解読し、16行のうち特定の行(ワード線)を選択する。ここでは、選択された行のメモリセルすべてが選択されており、選択されたすべてのメモリセルからセル内の情報(論理情報:0または1)がビット線と呼ばれるデータ読み出し線に読み出される。読み出された情報は、ビット線を経由して図3-1の下方に位置する増幅回路とセクタと呼ばれるブロックに送られる。ビット線上ではメモリデバイスの性能面等の都合により、論理情報の電位的な振幅を小さくしているため、増幅回路において電位的な増幅を行い、論理情報(0または1)の明確化を行う。このあと、外部から入力されたアドレスのうち、行デコーダ回路で使用されたアドレス以外のアドレス情報を用いて列の選択が行われ、選択された列のみの論理情報がセクタ回路から出力される。その結果、図3-1に示すように黒で塗りつぶした位置のメモリセルの情報が外部に出力されることになる。

メモリデバイスの構成においては、行デコーダ回路、メモリセル、増幅回路、セクタ回路などのいずれかの箇所で故障が発生するとメモリデバイスとしての故障となる。また、先端のメモリデバイスでは、一般的にメモリの大容量化のために、1セルのメモリ面積を小さくするためにデバイス構造上の工夫やプロセス上のマージン限界のプロセスが適用される。このため、メモリデバイスでは、回路的な故障だけでなく、デバイス構造、製造プロセス上のマージン的な要因による故障が発生する可能性がある。

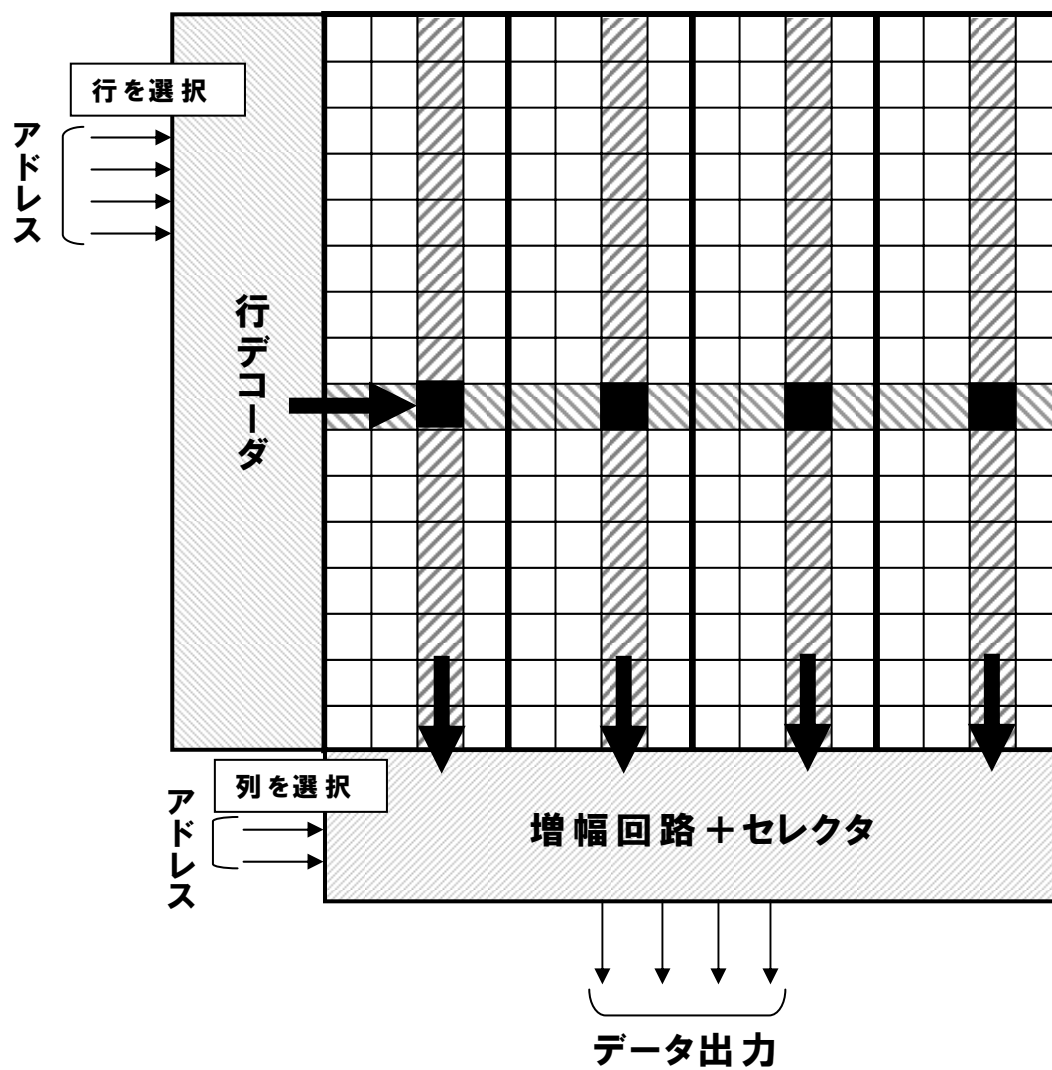


図 3-1 メモリデバイスの構成とデータの読み出し

### 3. 2. 2 FBM(フェイルビットマップ)解析

個々のメモリセルがアレイ状に二次元的に配置されたメモリデバイスの故障解析においては、FBM(Fail Bit Map)が重要なアイテムとして用いられる。FBMとはメモリ領域に配列された各メモリセルの良/故障情報をレイアウトに対応させて表示したマップのことである。これによって故障箇所の二次元的な物理的位置を把握することができる。一方、ウェーハプロセス上の不具合や設計上の不具合などに対応して、FBM データ上には故障ビットの配列パターンが様々な形で現れる特徴がある。この配列パターンをフェイルビットパターンと呼ぶ。このフェイルビットパターンの特徴から故障原因を推定することが可能である。

フェイルビットパターンについて具体的な例を図3-2に示す。図中、黒く塗りつぶした領域が故障となっているメモリセルを表している。図3-2(a)から図3-2(d)に示した4つの故障について予想される故障内容を挙げる。

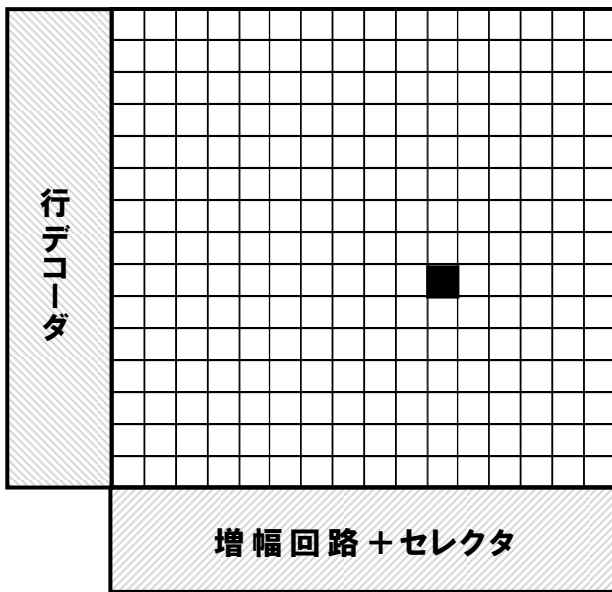
図3-2(a)はビット故障のケースであり、対象の位置のメモリセル内にウェーハプロセス上の異常がある。

図3-2(b)はワード線故障のケースであり、対象のワード線にメモリセルを接続している配線上のどこかかに異常があるか、ワード線を選択する行デコーダ回路部に異常がある。

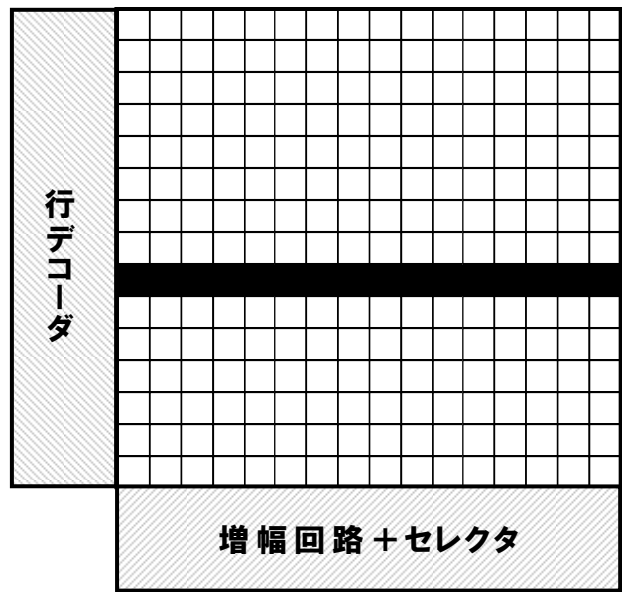
図3-2(c)はビット線故障のケースであり、対象のビット線にメモリセルを接続している配線上のどこかかに異常があるか、対象のビット線に接続されている増幅回路部に異常がある。

図3-2(d)はブロック故障のケースであり、対象のブロック単位を制御する信号線等の配線系に異常がある。

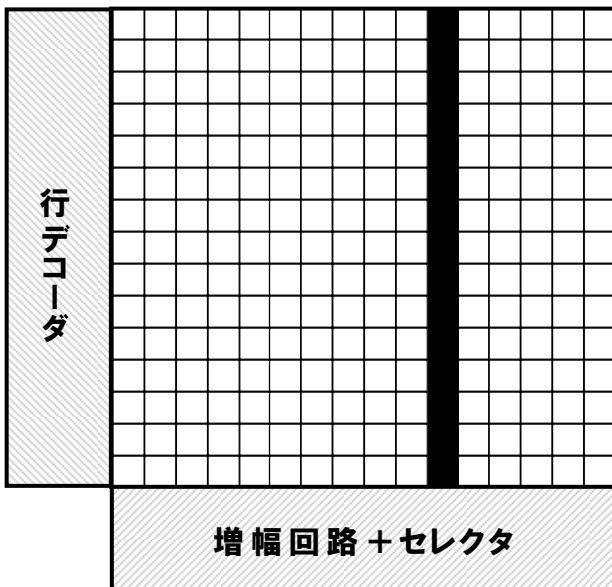
以上のように、メモリデバイス対応の解析では、FBM データの情報を元に、故障箇所の特定を行うことが可能である。



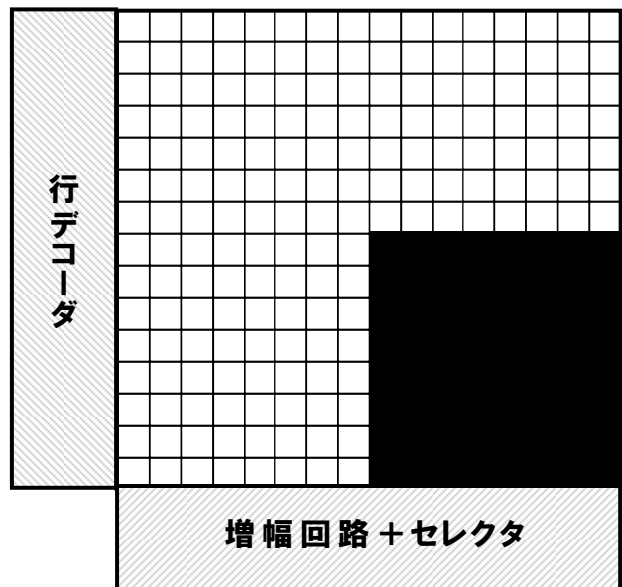
(a) ビット故障



(b) ワード線故障



(c) ビット線故障



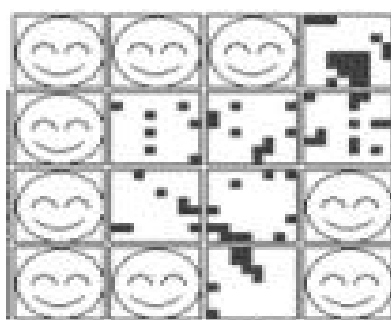
(d) ブロック故障

図 3-2 各故障の FBM 表示例

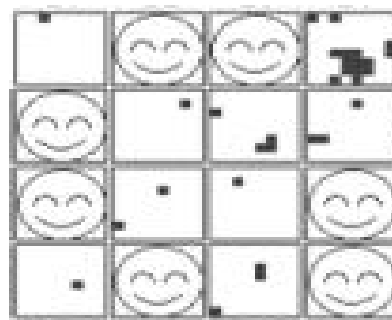


### 3.3 従来のFBM解析による故障モード分類方法

従来の故障モード分類方法として、ビット故障、ワード線故障、ビット線故障、ブロック故障などの違いを認識させるための認識ルールを設定し、そのルールに従って故障モード分類を行っていた。このとき、故障モード分類結果をウェーハ単位、あるいはLSIチップ単位で集計していた。1枚のウェーハ上に製造された多数のLSIチップ群の一部にあたる16チップ分のFBMを図3-3に示す。チップ中にドット表示があるチップがFBM上での故障ビットが発生していることを示しており、顔マークは良品チップを表している。テスト条件Aによって取得したFBMデータを図3-3(a)に、テスト条件Bによって取得したFBMを図3-3(b)に示している。異なるテスト条件としては、例えば電源電圧条件を変更したもの、あるいはメモリ領域への書き込みデータのパターンを変えたもの(マーチパターン/チェッカーパターン他)などがある。テスト条件Aとテスト条件Bの2つのテスト条件下で取得したFBMを比べると、それぞれ故障の分布が異なっていることが分かる。



(a) テスト条件 A の FBM



(b) テスト条件 B の FBM

図3-3 2つのテスト条件による同一チップのFBM

上記チップを含むウェーハレベルのFBMおよび故障モード分類を従来のFBM解析システムで行った結果を表3-1に示す。テスト条件Aで取得したFBMデータからの故障モード分類を行った結果を表3-1中の左下に示している。これに対し、テスト条件Bの故障モード分類は表中の右下に記述したように結果なしである。従来のFBM解析システムでは1チップ内の故障ビット数の増減を比較することは可能であるが、付随させたFBMデータは故障モード分類を行うことができないというシステム上の制約があった。テスト条件Aおよびテスト条件Bの2つのFBMデータでは、テスト条件BのFBMデータをテスト条件Aに付随させる扱いとなり、テスト条件Bの故障モード分類ができなかった。例えば、図3-4に示すようなテスト条件によってビット線故障が

ワード線故障に変化するケースでは従来のFBM解析システムでは正確な故障モード分類ができなかった。

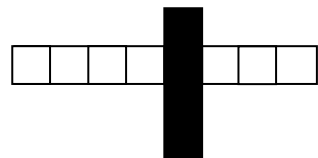
表3-1 従来のFBM解析システムによる複数FBMの故障モード分類

	テスト条件 A	テスト条件 B																																																																																
ファイルビットマップ (FBM)																																																																																		
故障モード分類結果	<p>テスト条件 A の FBM データの故障モード分類結果.</p> <table border="1"> <thead> <tr> <th>チップ</th> <th>不良モード</th> <th>不良 No</th> <th>座標</th> </tr> </thead> <tbody> <tr><td>(18, 10)</td><td>ICC2</td><td>1</td><td>(0, 0-3fff, 0-3fff)</td></tr> <tr><td>(19, 10)</td><td>TOO MUCH</td><td>1</td><td>(0, 0-3fff, 0-3fff)</td></tr> <tr><td>(20, 10)</td><td>512EL</td><td>1</td><td>(0, 3e00-3fff, 3680-36bf)</td></tr> <tr><td>(20, 10)</td><td>352WL</td><td>1</td><td>(0, b00-b3f, 3540-359f)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>1</td><td>(0, 200-207, 3a10-3a17)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>2</td><td>(0, 340-347, 1680-1687)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>3</td><td>(0, 380-387, 1d88-1d8f)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>4</td><td>(0, 3d0-3d7, 3160-3167)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>5</td><td>(0, 618-61f, 1988-198f)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>6</td><td>(0, 700-707, 8b0-8b7)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>7</td><td>(0, 7d8-7df, 1a20-1a27)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>8</td><td>(0, 8c0-8c7, 1490-1497)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>9</td><td>(0, 910-91f, 2d68-2d6f)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>10</td><td>(0, bd8-bdf, 18d8-18df)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>11</td><td>(0, bd8-bdf, 2ec0-2ec7)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>12</td><td>(0, bff-bff, 3468-346f)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>13</td><td>(0, c80-c87, 39e0-39e7)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>14</td><td>(0, d68-d77, 3768-376f)</td></tr> <tr><td>(20, 10)</td><td>BIT</td><td>15</td><td>(0, df0-df7, 17e8-17ef)</td></tr> </tbody> </table>	チップ	不良モード	不良 No	座標	(18, 10)	ICC2	1	(0, 0-3fff, 0-3fff)	(19, 10)	TOO MUCH	1	(0, 0-3fff, 0-3fff)	(20, 10)	512EL	1	(0, 3e00-3fff, 3680-36bf)	(20, 10)	352WL	1	(0, b00-b3f, 3540-359f)	(20, 10)	BIT	1	(0, 200-207, 3a10-3a17)	(20, 10)	BIT	2	(0, 340-347, 1680-1687)	(20, 10)	BIT	3	(0, 380-387, 1d88-1d8f)	(20, 10)	BIT	4	(0, 3d0-3d7, 3160-3167)	(20, 10)	BIT	5	(0, 618-61f, 1988-198f)	(20, 10)	BIT	6	(0, 700-707, 8b0-8b7)	(20, 10)	BIT	7	(0, 7d8-7df, 1a20-1a27)	(20, 10)	BIT	8	(0, 8c0-8c7, 1490-1497)	(20, 10)	BIT	9	(0, 910-91f, 2d68-2d6f)	(20, 10)	BIT	10	(0, bd8-bdf, 18d8-18df)	(20, 10)	BIT	11	(0, bd8-bdf, 2ec0-2ec7)	(20, 10)	BIT	12	(0, bff-bff, 3468-346f)	(20, 10)	BIT	13	(0, c80-c87, 39e0-39e7)	(20, 10)	BIT	14	(0, d68-d77, 3768-376f)	(20, 10)	BIT	15	(0, df0-df7, 17e8-17ef)	<p>付随したテスト条件 B の FBM データからは従来のシステム上の制約で故障モード分類できない.</p> <p><b>故障モード分類できない</b></p>
チップ	不良モード	不良 No	座標																																																																															
(18, 10)	ICC2	1	(0, 0-3fff, 0-3fff)																																																																															
(19, 10)	TOO MUCH	1	(0, 0-3fff, 0-3fff)																																																																															
(20, 10)	512EL	1	(0, 3e00-3fff, 3680-36bf)																																																																															
(20, 10)	352WL	1	(0, b00-b3f, 3540-359f)																																																																															
(20, 10)	BIT	1	(0, 200-207, 3a10-3a17)																																																																															
(20, 10)	BIT	2	(0, 340-347, 1680-1687)																																																																															
(20, 10)	BIT	3	(0, 380-387, 1d88-1d8f)																																																																															
(20, 10)	BIT	4	(0, 3d0-3d7, 3160-3167)																																																																															
(20, 10)	BIT	5	(0, 618-61f, 1988-198f)																																																																															
(20, 10)	BIT	6	(0, 700-707, 8b0-8b7)																																																																															
(20, 10)	BIT	7	(0, 7d8-7df, 1a20-1a27)																																																																															
(20, 10)	BIT	8	(0, 8c0-8c7, 1490-1497)																																																																															
(20, 10)	BIT	9	(0, 910-91f, 2d68-2d6f)																																																																															
(20, 10)	BIT	10	(0, bd8-bdf, 18d8-18df)																																																																															
(20, 10)	BIT	11	(0, bd8-bdf, 2ec0-2ec7)																																																																															
(20, 10)	BIT	12	(0, bff-bff, 3468-346f)																																																																															
(20, 10)	BIT	13	(0, c80-c87, 39e0-39e7)																																																																															
(20, 10)	BIT	14	(0, d68-d77, 3768-376f)																																																																															
(20, 10)	BIT	15	(0, df0-df7, 17e8-17ef)																																																																															



8ビット長のビット線故障

(a) テスト条件 A で検出された故障モード



4ビット長のワード線故障

(b) テスト条件 B で検出された故障モード

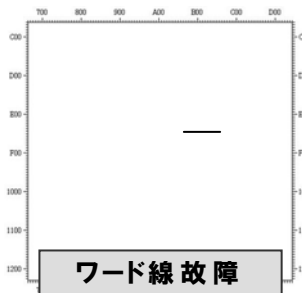
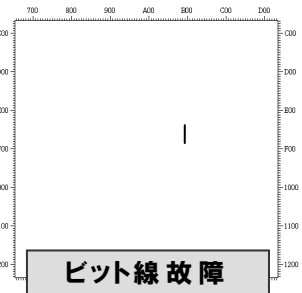
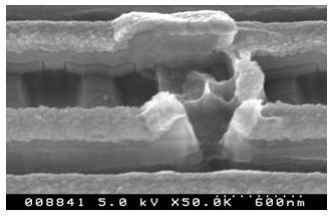
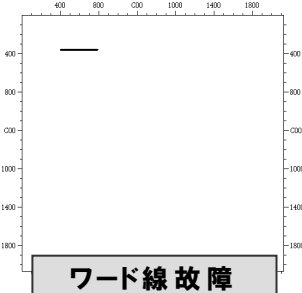
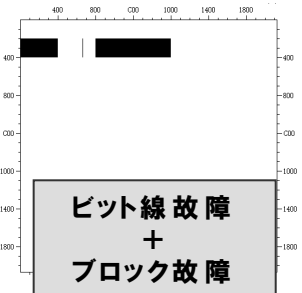
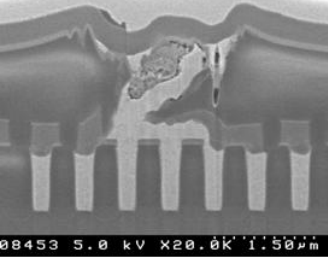
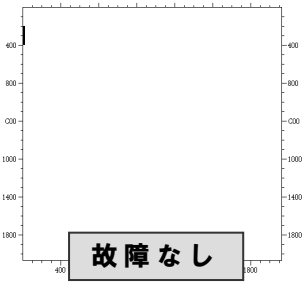
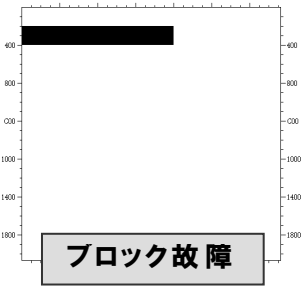
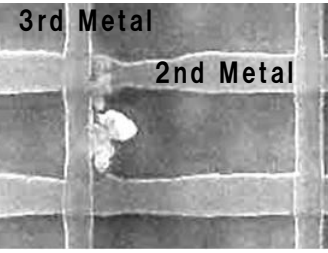
図3-4 同一領域における異なるテストで検出された異なる故障モード

### 3.4 複数 FBM による故障モード分類方法

#### 3.4.1 複数 FBM を用いた故障モード分類について

フラッシュメモリ搭載のテスト構造サンプルの故障解析事例を表3-2に示す。事例1の故障モードでは、テスト条件 A でワード線故障として検出された故障が、テスト条件 B ではビット線故障として検出されている。この故障の物理解析を行った結果は、ゲート工程の異常と判明している。次に、事例2の故障モードでは、テスト条件 A でワード線故障として検出された故障が、テスト条件 B ではビット線故障とブロック故障が検出されている。この故障の物理解析を行った結果、1層目のメタル配線の異常が発生していることが判明している。さらに、事例3の故障モードでは、テスト条件 A で故障が検出されなかったが、テスト条件 B ではブロック故障が検出されている。この故

表3-2 フラッシュメモリ故障解析事例

	テスト条件 A の FBM	テスト条件 B の FBM	故障原因
事例 1			<p>ゲート工程異常</p> 
事例 2			<p>1st Metal 工程異常</p> 
事例 3			<p>2nd Metal 工程異常</p> 

障の物理解析を行った結果，2層目のメタル配線の異常が発生していることが判明した．このように，テスト条件が異なる複数 FBM データの同一領域の故障モードを比較し，その組合せによってさらに詳細にモード分類することで，故障原因を推定する精度を向上させることができるため，複数の FBM データを使って故障モード分類するシステムを構築した．

### 3.4.2 複数 FBM による故障モード分類の自動解析システムの構築

メモリデバイスの FBM 解析システムに故障原因推定精度を向上させるために，複数 FBM データを組み合わせることが可能な故障モード分類機能を開発し，新たに付加した．

同一ウェーハに対して取得した複数の FBM データをお互いの故障モードの情報（各故障の座標等）を関連付けるために，データファイル名のルール等を設定し，システム内で関連が認識できるようにグループ化登録を行う．システム内では，登録した各 FBM データに対して，フェイルビットパターンの認識による故障モード分類を行う．そして，一方で，メモリ領域のレイアウト情報，FBM 解析における過去の解析情報，そして過去の物理解析情報などを参考に，故障モードの組み合わせ表を作成する．そして，その故障モードの組み合わせ表に従って分類を行い，集計結果や分類した故障のウェーハ面内分布を示すウェーハマップ等を出力させる．この組み合わせによる故障モード分類のフローを図3-5に示す．

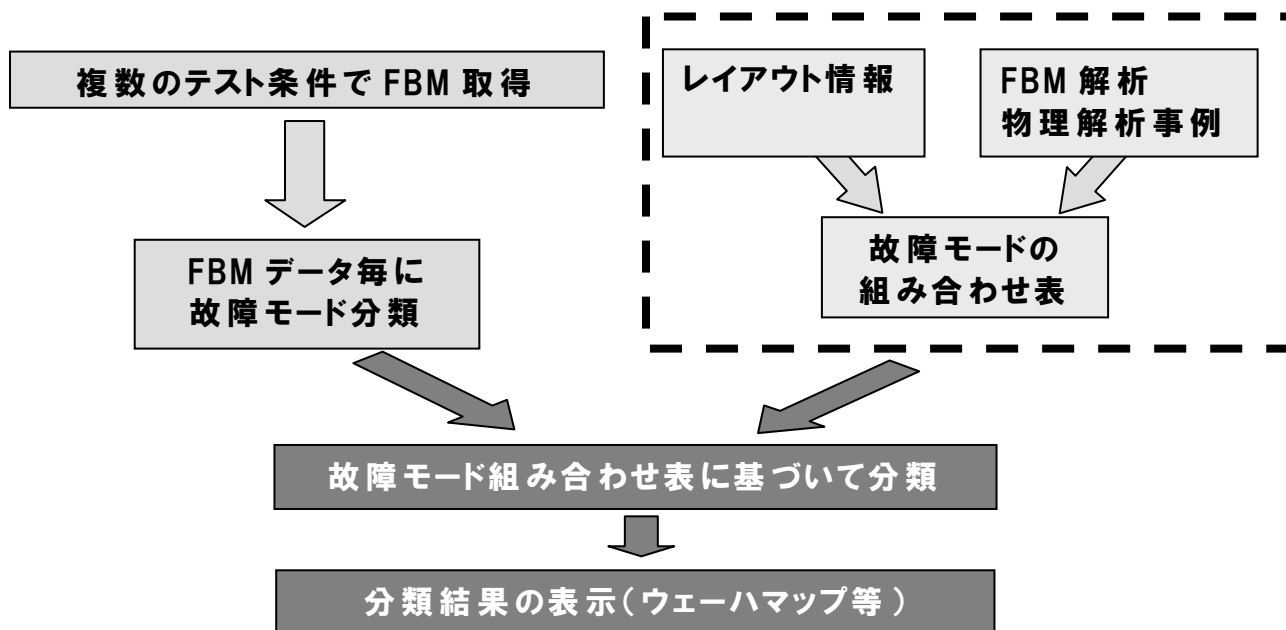


図3-5 複数 FBM 組み合わせによる故障モード分類のフロー

FBM 解析システムには、図3-6に示すように、1枚のウェーハに対し、複数のテスト条件で取得した複数のFBMデータを一括登録する機能を搭載し、さらに、故障モード分類を行う目的で、各 FBM データに対して演算(FBM データ間の差分, AND, OR 等)機能を持たせている。

処理対象 1,2  
に対する演算  
処理を選択可  
能。

グループ内での  
テスト No.  
が設定可  
能。

データベ  
ース登録の  
選択可  
能。

登録No	演算	処理対象1	処理対象2	作成テストNo	登録
1	-	A		1	<input checked="" type="checkbox"/>
2	AND	B		2	<input checked="" type="checkbox"/>
3	OR	C		101	<input checked="" type="checkbox"/>
4	XOR	D		102	<input checked="" type="checkbox"/>
5	NAND	E		103	<input checked="" type="checkbox"/>
6	NOR	F		104	<input checked="" type="checkbox"/>
7	SUB	G		105	<input checked="" type="checkbox"/>
8	NOT	H		106	<input checked="" type="checkbox"/>
9	-	I		107	<input checked="" type="checkbox"/>
10	-	J		108	<input checked="" type="checkbox"/>
11	-	K		109	<input checked="" type="checkbox"/>

行の追加

行の削除

上書き保存

開く...

名前を付けて保存...

終了

キャンセル

図3-6 複数のFBMを一括登録するユーザーインターフェース

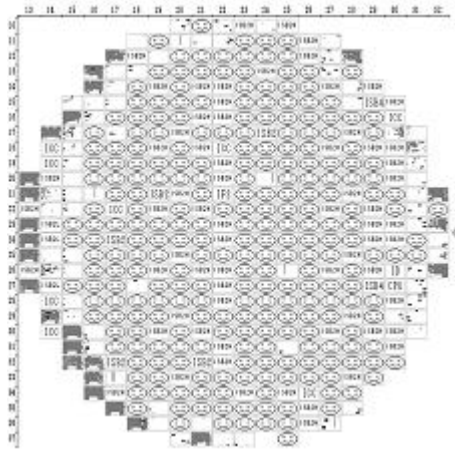
### 3.5 複数 FBM による故障モード分類の適用事例

今回開発した FBM 解析システムをフラッシュメモリの故障解析に適用してシステムの検証を行った。1枚のウェーハに対し、5つのテスト条件で FBM データを取得した結果を図3-7に示す。テスト条件としては、表3-3に示すように、テスト No.1 ではデータ“0”書き込み後で“1”固定故障を検出、テスト No.2 ではデータ“0”書き込み後で完全な“0”が書き込まれていない故障を検出、テスト No.3 ではデータ“1”書き込み後で“0”固定故障を検出、テスト No.4 ではデータ“1”書き込み後で完全な“1”が書き込まれていない故障を検出、テスト No.5 では書き込みデータがチェッカーパターン(隣り合うメモリセルに異なるデータの書き込み)を用いたテストでの故障を検出している。図中、1つの四角枠が1チップに当たり、故障ビット情報はドットで表示されている。チップ内にドット表示以外の表示(文字、マークなど)があるチップはファンクション故障以外の故障、または良品チップを示している。また、横軸、縦軸の数字によって本システムでも取り扱うチップ座標が指定される。

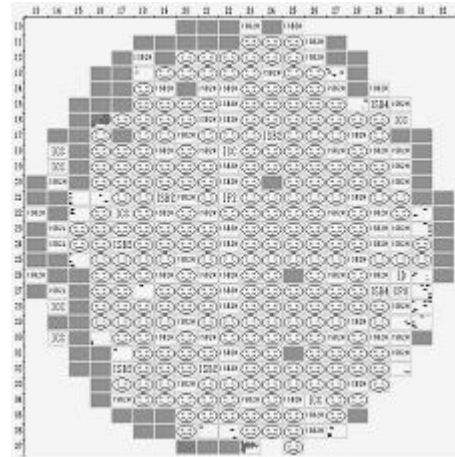
図3-7において、どのテスト条件においても、ウェーハ外周に故障が多発しているが、テスト条件によって主モードが異なっている。図3-7(a)に示すテスト No.1の条件ではビット線故障が多発している。図3-7(b)に示すテスト条件 No.2の条件ではブロック故障が多発している。図3-7(c)に示すテスト条件 No.3の条件ではワード線故障が多発している。図3-7(d)に示すテスト条件 No.4の条件でもテスト条件 No.3と同様、ワード線故障が多発している。図3-7(e)に示すテスト条件 No.5の条件ではブロック故障が多発している。1枚の同じウェーハにおけるテストであるが、図3-7(a)から図3-7(e)に示したように、テスト条件によって出現する故障モードが異なっている。

**表3-3 各 FBM 取得用テスト内容**

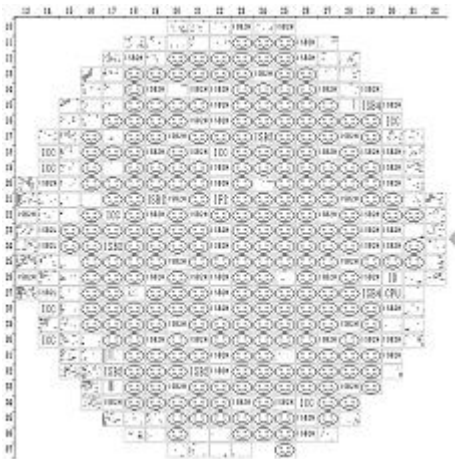
テスト No.	テスト内容
1	全ビット“0”書き込み後で“1”固定故障ビットを検出 (全ビット書き込み動作後，“0”期待で“1”固定故障ビットを検出)
2	全ビット“0”書き込み後で完全な“0”になっていない故障ビットを検出 (全ビット書き込み動作後、中途半端に書き込まれたビットを検出)
3	全ビット“1”書き込み後で“0”固定故障ビットを検出 (全ビット消去動作後，“1”期待で“0”固定故障ビットを検出)
4	全ビット“1”書き込み後で完全な“1”になっていない故障ビットを検出 (全ビット消去動作後、中途半端に消去されたビットを検出)
5	チェッカーパターン書き込み後での故障ビットを検出



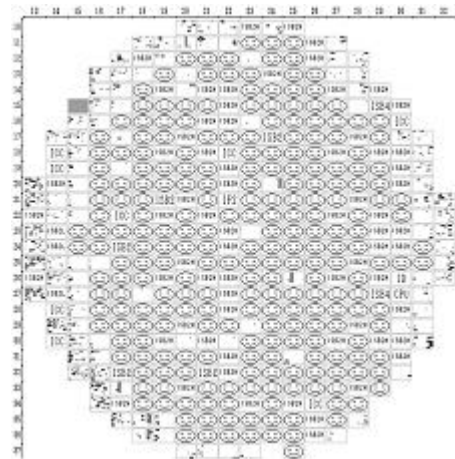
(a) テスト No.1



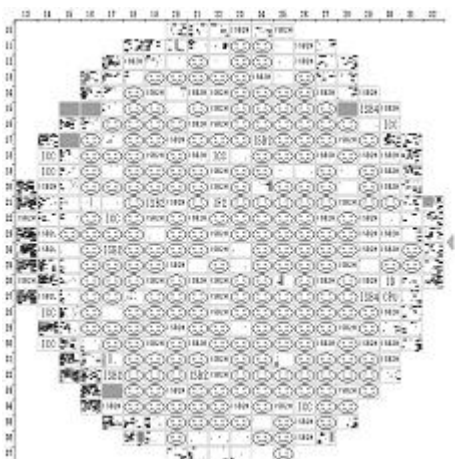
(b) テスト No.2



(c) テスト No.3



(d) テスト No.4



(e) テスト No.5

図3-7 5つのテスト条件によるFBM(ウェーハマップ表示)結果

グループ化を行った複数の FBM の拡大 FBM 表示において、各 FBM の所望の同一領域を表示させることで、同一エリア内の故障分布がテスト条件の違いによって、変化する様子を把握できる。図 3-7 に示した FBM において、同一チップの同一領域を拡大した結果を図 3-8 に示す。テスト No.1 ではビット故障として現れている領域において、テスト No.2 ではブロック故障、テスト No.3 およびテスト No.4 ではワード線故障、テスト No.5 ではブロック故障が出現している。すなわち、テスト条件によって異なったフェイルビットパターンが同一領域に出現している。このような複数の FBM の組み合

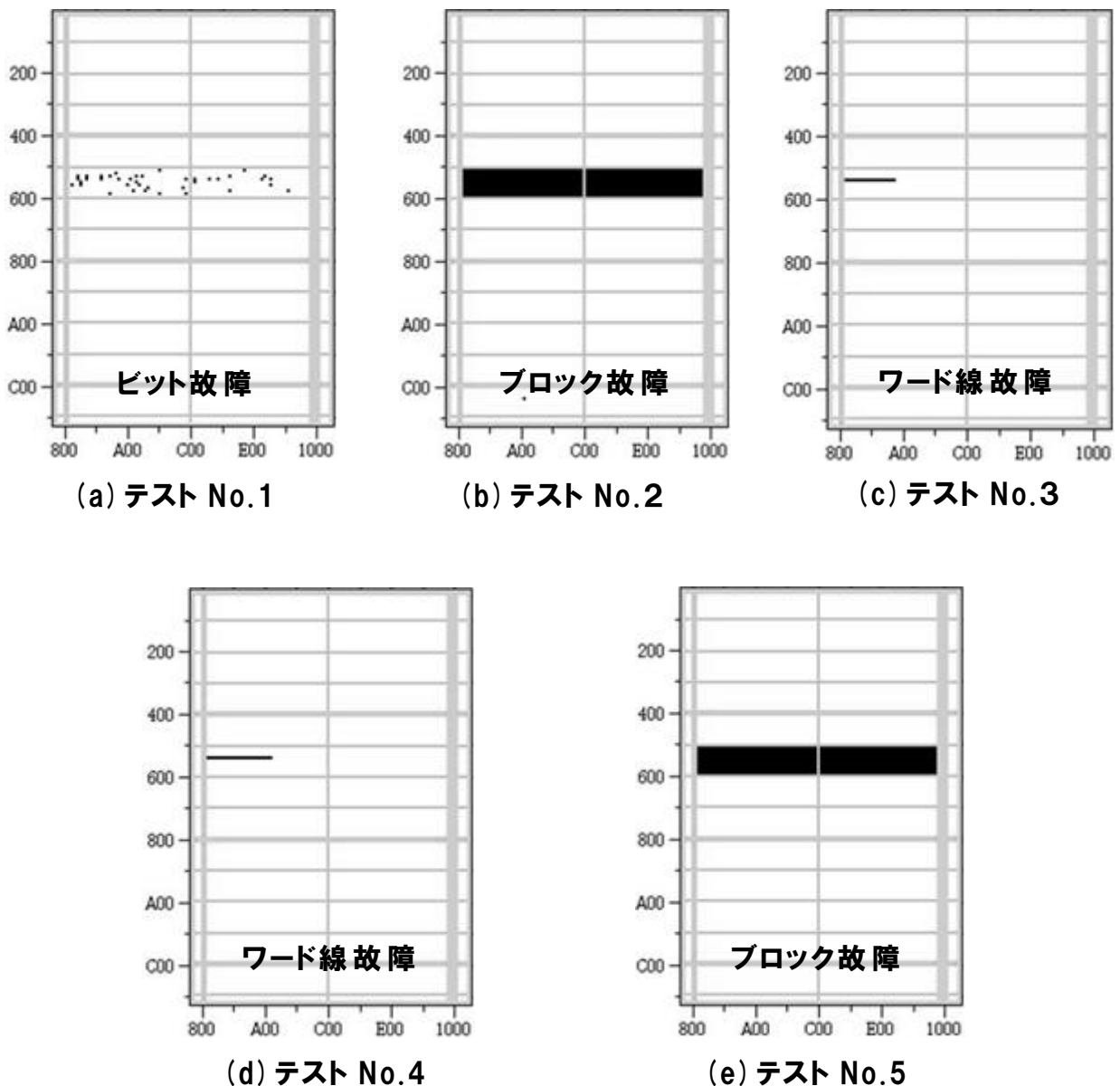


図 3-8 複数の FBM の同一領域の拡大表示結果



わせによるモード分類を行うために、各テスト条件下におけるFBMに出現する主要な故障モードの組み合わせを調べた。組み合わせに用いた個々の故障モードは、認識ルール(フェイルビットパターン認識のために事前に作成したルール)で設定した故障モードの項目から選んでいる。まず本方法では、組み合わせた故障モードの中から一つ、基準となる故障(表3-4中の太枠で表示)を選択する。この組み合わせ表に基づき、基準となる故障を含む矩形領域を照合エリアとして他のテスト条件のFBMの同一領域同士の照合を行い、組み合わせに合致した故障を抽出する。この方法によるA, B, C, D, Eの5種類の組み合わせモードを設定した結果を表3-4にまとめた。Aの組み合わせモードはテストNo.1ではビット線故障, テストNo.2からテストNo.4までは故障の種類を問わない設定, そしてテストNo.5ではブロック故障が出現するケースを抽出する設定である。BからEの組み合わせモードも表3-4中に示す組み合わせを設定した。

**表3-4 複数FBMの故障モード組み合わせ**

組み合わせモード テスト	A	B	C	D	E
NO.1	<b>ビット線故障</b>	None	Any	Any	<b>ビット線故障</b>
No.2	Any	None	Any	Any	None
No.3	Any	None	ワード線故障	Any	None
No.4	Any	None	Any	Any	None
No.5	<b>ブロック故障</b>	<b>ビット線故障</b>	<b>ブロック故障</b>	<b>ブロック故障</b>	<b>ビット線故障</b>

注) Any: 照合エリアにいかなる故障があってもよい場合。  
None: 照合エリアに故障がない場合。

実験に用いたデバイスはフラッシュメモリであり、メモリ部の回路図を図3-9に、構造模式図を図3-10に示す。図3-9において、ワード線がメモリのコントロールゲートに接続されている。図3-10において、CGはコントロールゲート、FGはフローティングゲートを示す。

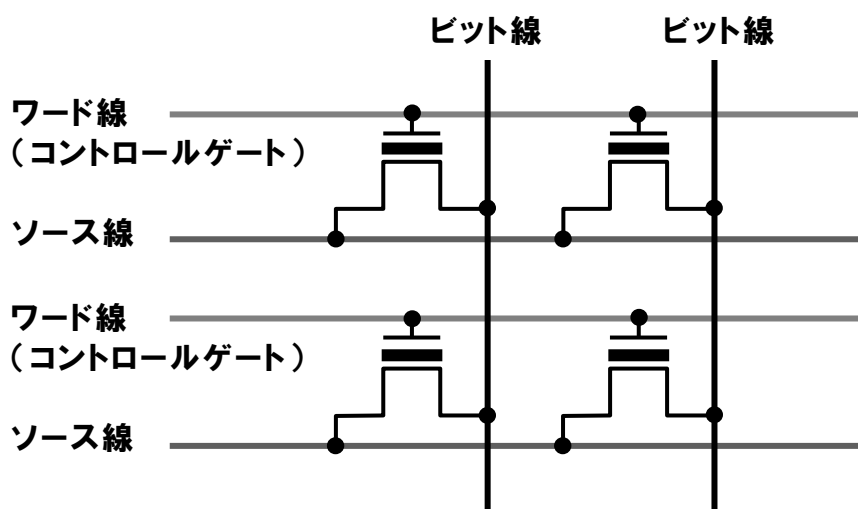


図3-9 メモリの回路図(4メモリセル分)

組み合わせ表で設定したAモードからEモードで示される5つの組み合わせモードはメモリセルの構造と事前の解析実績から故障原因を推定できる。各モードの推定される原因を以下に示す。

- ・Aモード:コントロールゲートとビット線コンタクトのショート.
- ・Bモード:ビット線間のショート.
- ・Cモード:コントロールゲートとソース線のショート.
- ・Dモード:コントロールゲートとビット線コンタクトあるいはソース線とのショート.
- ・Eモード:ビット線コンタクト部の拡散層とウェル間の接合リーク.

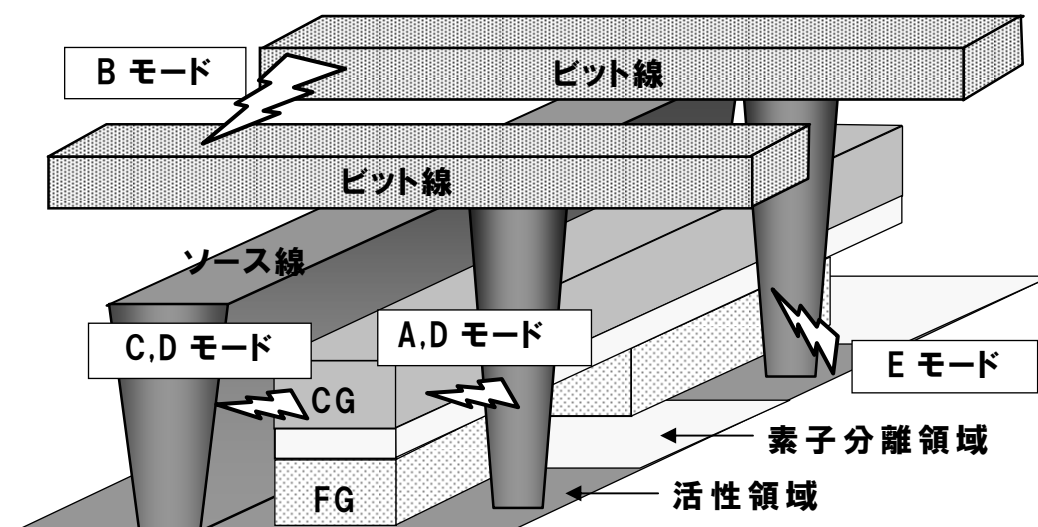


図3-10 メモリセル構造模式図

組み合わせ表に従って分類した結果は、合致した組み合わせのリスト、集計結果、及び組み合わせモードのマップとして出力することができる。表3-4の組み合わせ表に従って分類した結果を図3-11に示す。図3-11において、横軸は各モードの

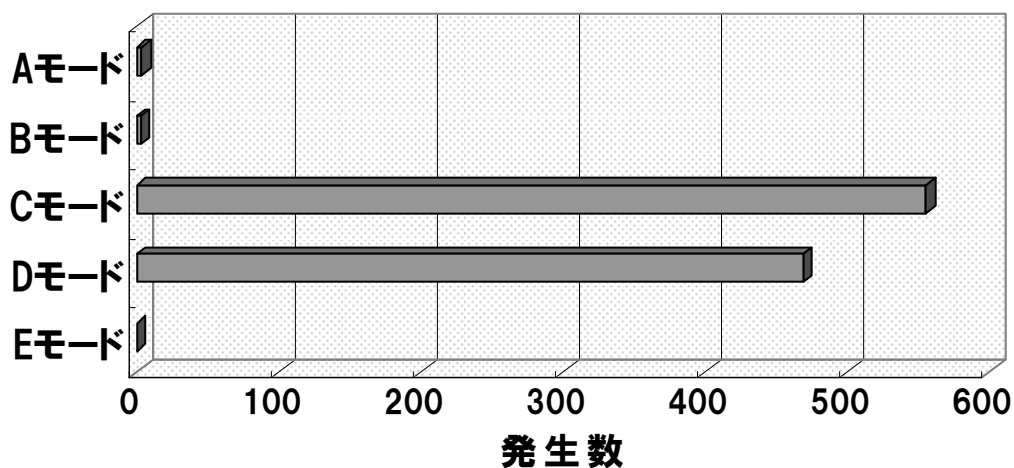


図3-11 各組み合わせモードの発生数

1枚のウェーハ上での発生数で、縦軸は組み合わせモードを示している。図3-11に示す結果から、本ウェーハ上でCモードは540個程度発生し、Dモードが450個程度発生しているのに対して、Aモード、Bモード、Eモードは殆ど発生していない。すなわち、本ウェーハで発生している故障はCモードとDモードが支配的である。

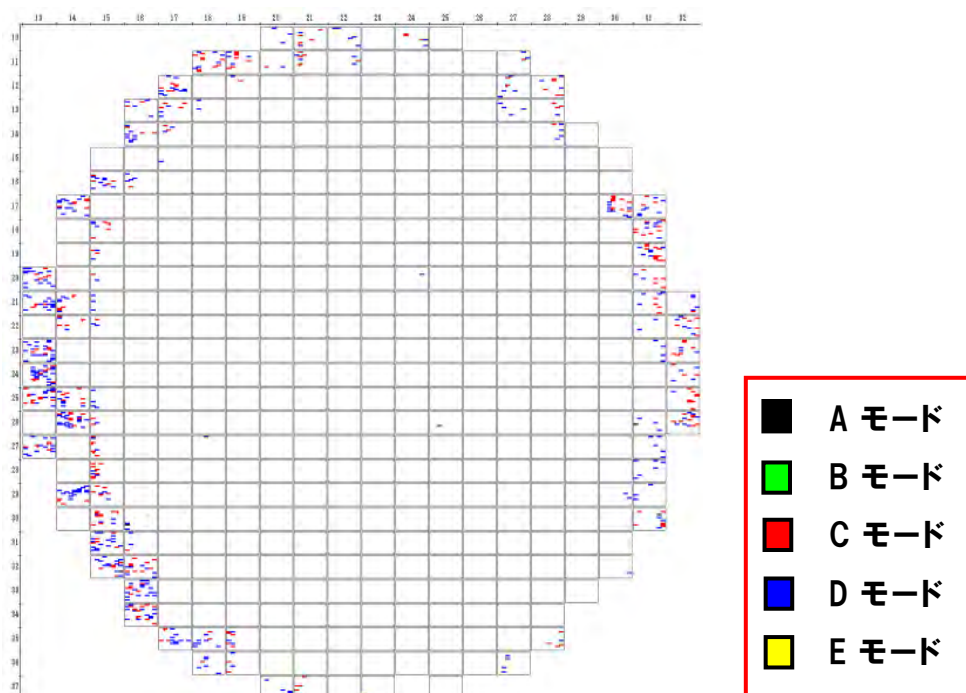


図3-12 各組み合わせモードのウェーハマップ

また、各組み合わせモードのウェーハ上での発生分布を図3-12に示す。Aモードは黒色、Bモードは黄緑色、Cモードは赤色、Dモードは青色、そしてEモードは黄色で表示している。このウェーハマップから、主モードであるCモードとDモードはウェーハの外周に同じような分布で発生していることから、同一原因であると推測できる。一方、図3-10から、CモードとDモードが併発する本モードは、コントロールゲートとソース線とのショートであると推測できる。

コントロールゲートとソース線がショートする原因としては、コントロールゲートの欠陥に起因する場合と、ソース線の欠陥に起因する場合が考えられる。コントロールゲートの欠陥起因の場合は、ソース線側とビット線コンタクト側に発生する確率は同じなので、このときはAモードとDモードが同程度の頻度で発生することになるはずである。しかし、図3-11に示した集計結果ではAモードは殆ど発生していない。従って、本故障はコントロールゲートの欠陥起因ではなく、ソース線の欠陥に起因したものと推測できる。実際に、この不良モードについては物理解析にてソース線の欠陥であることが検証できている。このように本システムを実デバイスに適用することで、テストの結果から故障原因を推定することができる。

### 3.6 まとめ

本研究では、複数のFBMを使った故障モード分類方法を開発し、この方法をFBM解析システムであるFLEXS(Fault Isolation Expert System)の機能に組み込み、実デバイスに適用検証を行った。本手法をフラッシュメモリ搭載のテスト構造のデバイスに適用した結果、テストの結果から物理的な解析を行うことなく、故障原因を推定できることが実証できた。また、本手法はフラッシュメモリだけでなく、SRAMやDRAMなど、他のメモリデバイスのFBM解析にも適用可能である。

## 参考文献

1. H Maeda, F. Ohta, M. Kuniya, K. Fukumoto: "Failure Analysis System to Classify Failure Modes Using Combinations of FBMs", Proceedings of IEEE The International Meeting for Future of Electron Devices Kansai, (2007) p.37-38
2. P. Gangatirkar, R. D. Presson, and L. G. Rosner: "Test/Characterization Procedures for High Density Silicon RAMs", Proc. of International Solid-State Circuits Conference(1982) p.62
3. Y. Sakai, J. Sawada, W. Sakamoto, J. Murata, H. Kawamoto, K. Sakai, K. Nakamura: "A Wafer Scale Fail Bit Analysis System for VLSI Memory Yield Improvement", Proc. of International Conference on Microelectronic Test Structures, (1990) p.175
4. T. Tsujide, H. Hamada, D. Lepejian, and J. M. Caywood: "Automatic Memory Failure Analysis Using an Expert System in Conjunction with a Memory Tester/Analyzer", Proc. of International Reliability Physics Symposium (1993) p.184
5. M. Sugimoto and H. Hamada: "Yield Enhancement Using A Memory Expert System Linked to The Wafer Inspection Tool", SEMI Advanced Semiconductor Manufacturing Conference (1995) p.282
6. 伊藤敦, 中前幸治, 藤岡弘: LSI テスティングシンポジウム会議録(1999)P.161
7. C. H. Gim: "A Novel Bitmap Analysis- Test sensitivity intensity bitmap" International Symposium on the Physical and Failure Analysis of Integrated Circuits(2002)p.105
8. M. Fujii, K. Nii, H. Makino, S. Ohbayashi, M. Igarashi, T. Kawamura, M. Yokota, N. Tsuda, T. Yoshizawa, T. Tsutsui, N. Takeshita, N. Murata, T. Tanaka, T. Fujiwara, K. Asahina, M. Okada, K. Tomita, M. Takeuchi, and H. Shinohara: "A Large Scale Flip-Flop RAM imitating a logic LSI for fast development of process technology", Proc. of International Conference on Microelectronic Test Structures(2007)p.131

9. A. ISENO and Y. IGUCHI: "A Method for Storing Fail Bit Maps in Burn-in Memory Testers", International Workshop on Electronic Design, Test and Applications (2002)
10. R. S. Collica, J. P. Card, and W. Martin, "SRAM Bitmap Shape Recognition and Sorting Using Neural Networks", IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, 8, NO.3 (1995) p.326
11. P. Dubey, A. Garg, and S. K. Bhaskarani: "Low Area Adaptive Fail-Data Compression Methodology for Defect Classification and Production Phase Prognosis", Proc. of Computer Society Annual Symposium on VLSI (2007)
12. W. Shindo, S. Sugimoto, R. Makara, P. Rattanalangkan: "Acceleration of Yield Enhancement Activity by Utilizing Real-Time Fail Bitmap Analysis", Proc. of International Semiconductor Manufacturing Symposium (2001) p.271
13. K. Nakamae, A. Itoh, and H. Fujioka: "Fail pattern classification and analysis system of memory fail bit maps", Modeling and Simulation of Microsystems (2001) p.598
14. J. Vollrath, U. Lederer, T. Hladschik: "Compressed Bit Fail Maps for Memory Fail Pattern Classification", Europe Test Workshop (2000) p.125
15. Y. Mukogawa et al: "Failure Analysis Expert System in ULSI Fabrication" Proc. of International Symposium on Semiconductor Manufacturing, (1996) p.231.

## 第4章 STI製造工程のシリコン中の応力評価とトランジスタ特性への影響調査<sup>(1)</sup>

### 4.1 序

絶え間ない LSI の高性能化とデバイスの微細化によりトランジスタの微小電流リークが深刻な問題となっている。デバイスの微細化は局所的な応力を引き起こし、この応力が電流リーク発生の要因となり、トランジスタ性能劣化や歩留り低下をもたらす可能性があるため、LSI 製造上の一つの課題となっている<sup>(2-22)</sup>。

STI(Shallow Trench Isolation)は近年のデバイスには不可欠の素子分離技術である。しかしながら、STI 製造プロセスは、異なった熱膨張係数を持つ複数の材料の組み合わせや、複雑な製造工程が局所的な応力発生の主要な原因に成りえる。従って、デバイス性能、製造歩留り、およびデバイス信頼性の向上のためには、STI 製造プロセスは非常に重要な工程である。

本章では、トランジスタの電流リークの発生と STI 製造プロセスとの関係を調べるために、トランジスタ電流リーク量の STI 製造プロセス条件依存性の調査、および TEM による STI 構造周りの詳細な構造解析とシミュレーションを用いた歪測定を行った。

### 4.2 実験

STI 製造工程では、素子分離領域をドライエッチングでシリコン基板を所定の深さまでエッチングを行い、その後、埋め込み酸化膜を充填し、熱処理により焼き締める処理が行われる。本実験では、この工程で発生する局所的な歪に着目して、STI 製造パラメータの違いによるトランジスタ電気特性の比較測定、ならびにトランジスタ周りの TEM による形状観察や歪測定を行った。

#### 4.2.1 評価試料の概要

評価には、ゲート長  $0.5\ \mu\text{m}$ 、ゲート幅  $1.4\ \mu\text{m}$ 、および STI 幅  $0.3\ \mu\text{m}$  の NMOS トランジスタを用いた。この NMOS トランジスタのパターンレイアウト概略を図 4-1 に示す。また、基板にはシリコンウェーハの(100)面を用いた。

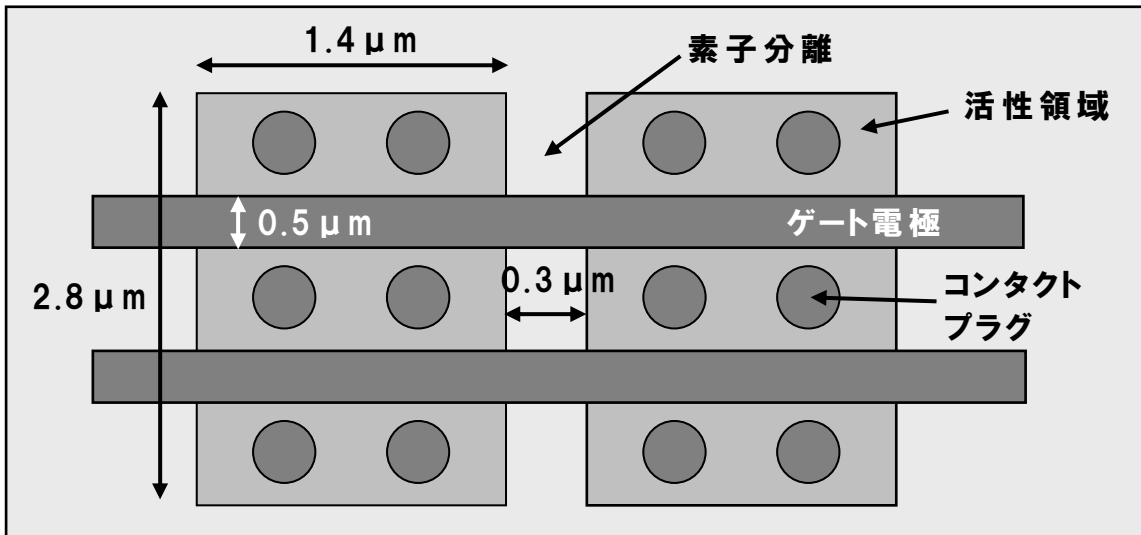


図4-1 テスト構造トランジスタパターンのレイアウト図

評価試料の作製には、一般に使用されている典型的な製造プロセスフローを用いた。活性領域と素子分離領域形成のために、プラズマエッチング法を用いてシリコンウェーハ表面に STI トレンチを  $0.3\ \mu\text{m}$  の深さで形成する。その後、トレンチ部に高密度プラズマケミカルデポジション (High Density Chemical Deposition: HDP) により、シリコン酸化膜を埋め込む。その後、STI 表面に対し、化学的機械的研磨法 (Chemical Mechanical Polishing: CMP) を用いて平坦にする。次に、純水で希釈したフッ酸 (純水: HF=50:1) 溶液に浸漬して STI トレンチ部に埋め込んだシリコン酸化膜を後退させる。STI 埋め込み酸化膜の表面の後退量としては、0nm, 10nm, 20nm, 30nm, および 50nm の4つの条件で振り分けた。STI の酸化膜表面を後退させた状態での試料の断面模式図を図4-2に示す。

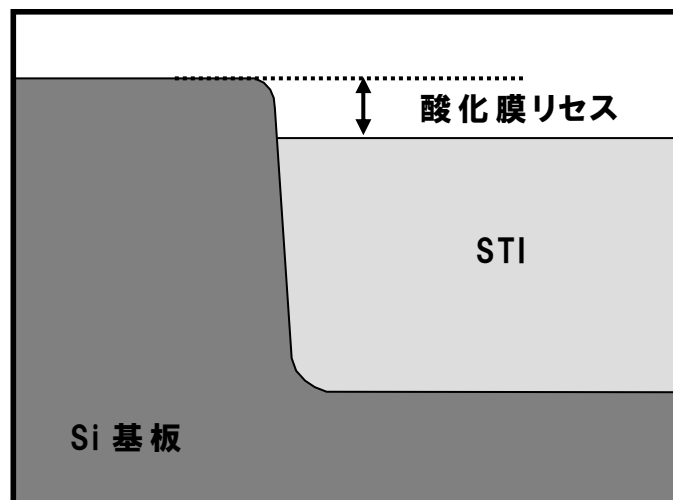


図4-2 STI 埋め込み酸化膜エッチング後の試料の断面模式図



図に示されているように、STI 埋め込み酸化膜とシリコン活性領域表面との高低差をここでは酸化膜リセス量と定義する。

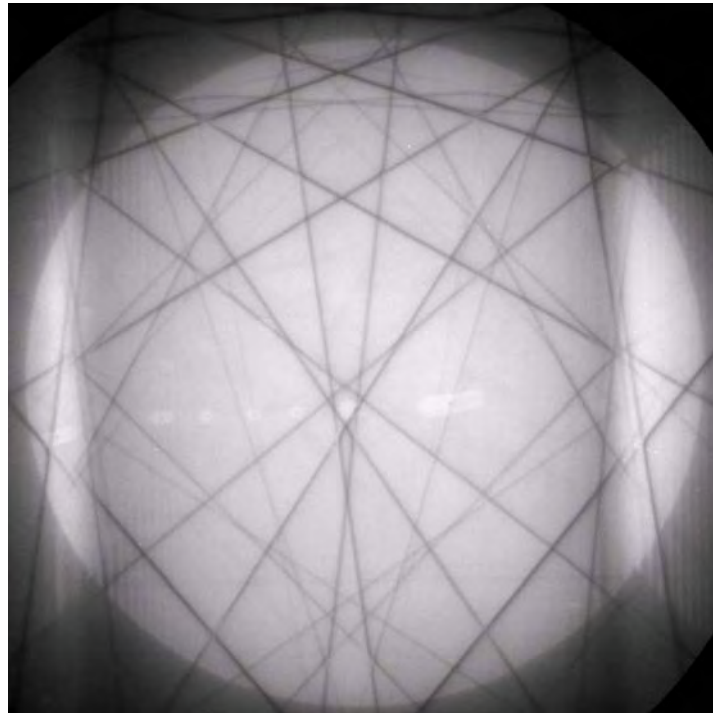
STI 工程に続き、従来の製造フローによるトランジスタ形成を行い、さらに拡散層上のコンタクトとして、タングステンのコンタクトプラグを形成する。その後メタル配線を形成し、評価用のトランジスタ TEG を完成させる。

#### 4. 2. 2 トランジスタテスト構造の電気特性計測と構造解析

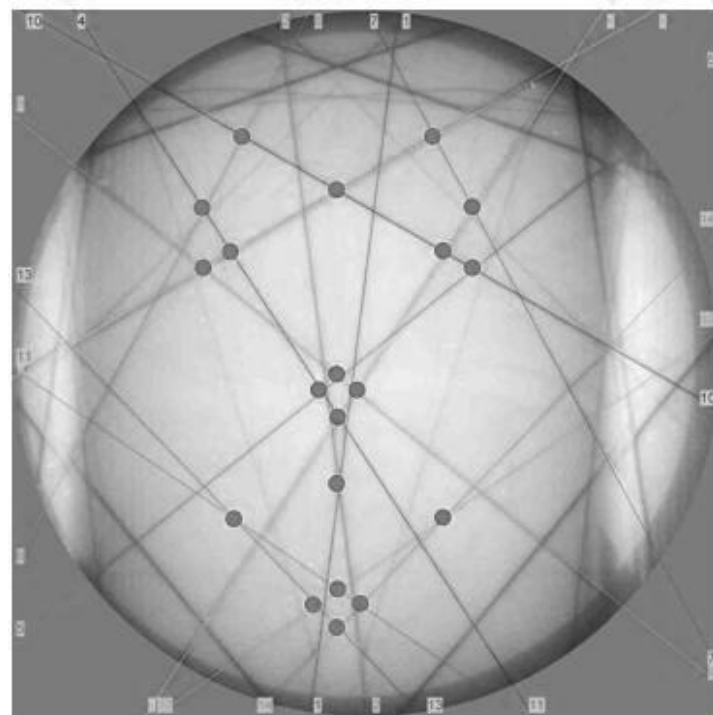
STI 埋め込み酸化膜リセス量とトランジスタのリーク電流量との関係を調べるために、ゲート電圧-ドレイン電流( $V_g$ - $I_d$ )特性の測定を行った。トランジスタの電気特性を測定するため、半導体パラメータ解析用の電気測定システム(HP4156A)とウェーハプロバ(東京エレクトロン)を用いた。また、構造的な観察には、HF-2210(日立ハイテクノロジーズ)による透過電子顕微鏡(TEM)観察法を用いた。TEM 試料は FB-2000A(日立ハイテクノロジーズ)による集束イオンビーム(FIB)法<sup>(23)</sup>を用いて作製した。さらに歪測定を行うために、トランジスタ断面からの CBED(Convergent Beam Electron Diffraction)評価<sup>(24-31)</sup>を行った。

CBED 評価には酸化膜リセス量が 0nm(実測値: 8nm)と 50nm(実測値: 60nm)の試料を用いた。TEM 試料の薄片加工に伴うストレスの緩和を防ぐために、TEM 試料として 300nm 厚の十分な厚みの TEM 試料を用いた。200kV の加速電圧で、Si(230)結晶面に対して垂直に電子ビームを入射させて CBED パターンを取得した。CBED 評価では、シリコン基板と STI の界面から 50nm 離れたシリコン領域に電子ビームが照射される。これにより、STI 埋め込み酸化膜領域への照射が避けられ、結晶シリコンのみからの情報を得ることができる。

典型的な CBED パターン像を図 4-3(a)に示す。図 4-3(b)には CBED 解析のために 14 本のみを選択した HOLZ (Higher-order Laue Zone)線を示している。図中に示したドットは CBED 解析に用いた 20 箇所(20 箇所)の交点である。リファレンスとなる歪のない領域から得られた CBED パターンとの違いが歪の程度を反映するので、シミュレーションによって再現した CBED パターン中の 20 箇所(20 箇所)の交点を、実際の CBED 評価で得られた CBED パターンの 20 箇所(20 箇所)の交点に合わせることによって、局所的な歪量を算出する。シミュレーションの中では格子面、格子定数、格子面の角度など、結晶構造を決定できる数値データを用いている。



(a) CBED パターン



(b) 歪み計算に用いた HOLZ 線と交点

図 4-3 CBED パターンと歪み計算に用いた HOLZ 線と交点

### 4.3 シミュレーション

STIに埋め込み酸化膜を埋め込み、熱酸化する状態を図4-4に示す。図4-4(a)は熱酸化初期の状態、図4-4(b)は熱酸化後の状態である。気相から酸化種が酸化膜中に入り込み、酸化膜中を拡散してSi/SiO<sub>2</sub>界面に達する状況が図4-4(a)に示されている。Si/SiO<sub>2</sub>界面に達した酸化種はシリコン基板のSiと反応してSiO<sub>2</sub>を形成する。SiがSiO<sub>2</sub>になるときの体積膨張によってトレンチ分離埋め込み後の酸化では図4-4(b)のような応力が発生する。

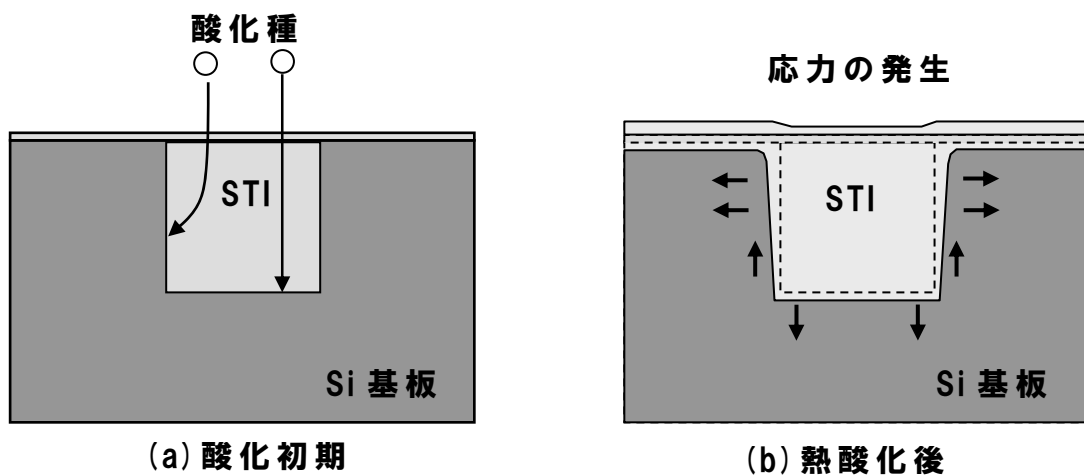


図4-4 シリコンの熱酸化による応力の発生モデル

実験結果検証のために、シミュレータHySyProS<sup>(32-33)</sup>を用いて歪のシミュレーションを行った。このシミュレーションでは、有限要素法を用いている。計算の手順は、まず酸化膜中の酸化種の拡散を計算して酸化種の濃度分布を求め、Si/SiO<sub>2</sub>界面における酸化種濃度を用いて反応界面(Si/SiO<sub>2</sub>界面)を計算する。そしてSiがSiO<sub>2</sub>に変化する際の酸化反応に伴う体積膨張を与えて、材質の変位および材質中の歪を計算する。そして、変位量に基づいて形状を更新して、最初の酸化種の濃度分布の計算に戻り、同様の計算を繰り返し、所定の領域の歪の計算を実行する。

本研究におけるシミュレーションは酸化膜リセス量が0nm(実測値:8nm)と50nm(実測値:60nm)の2条件で行い、STI埋め込み酸化膜の緻密化のための熱処理として1100°Cの温度を設定した。また、シミュレーションはSTI周りの断面構造に対して行い、CBED測定データとの比較のために、STI周りの2方向について実施した。1つは、STI側壁に平行な方向であり、STIとシリコン基板の界面よりシリコン領域側に50nm離れた位置で行った。もう1つは、STI底面に平行な方向であり、STI底面とシリコン基板の界面より50nm深い位置で実施した。

## 4.4 実験結果

### 4.4.1 トランジスタ特性

酸化膜リセス量 0nm, 10nm, 20nm, および 30nm の条件での MOS トランジスタの電気特性計測を行った結果を図 4-5(a)から(d)に示す. ドレイン電圧 ( $V_d$ )には 3.3V を供給した. 図 4-5において, 横軸はゲート電圧  $V_g$ , 縦軸はソース-ドレイン間に流れるドレイン電流  $I_d$  である. それぞれの図中において, 一本の線は一つのトランジスタの  $V_g$ - $I_d$  特性を示している.

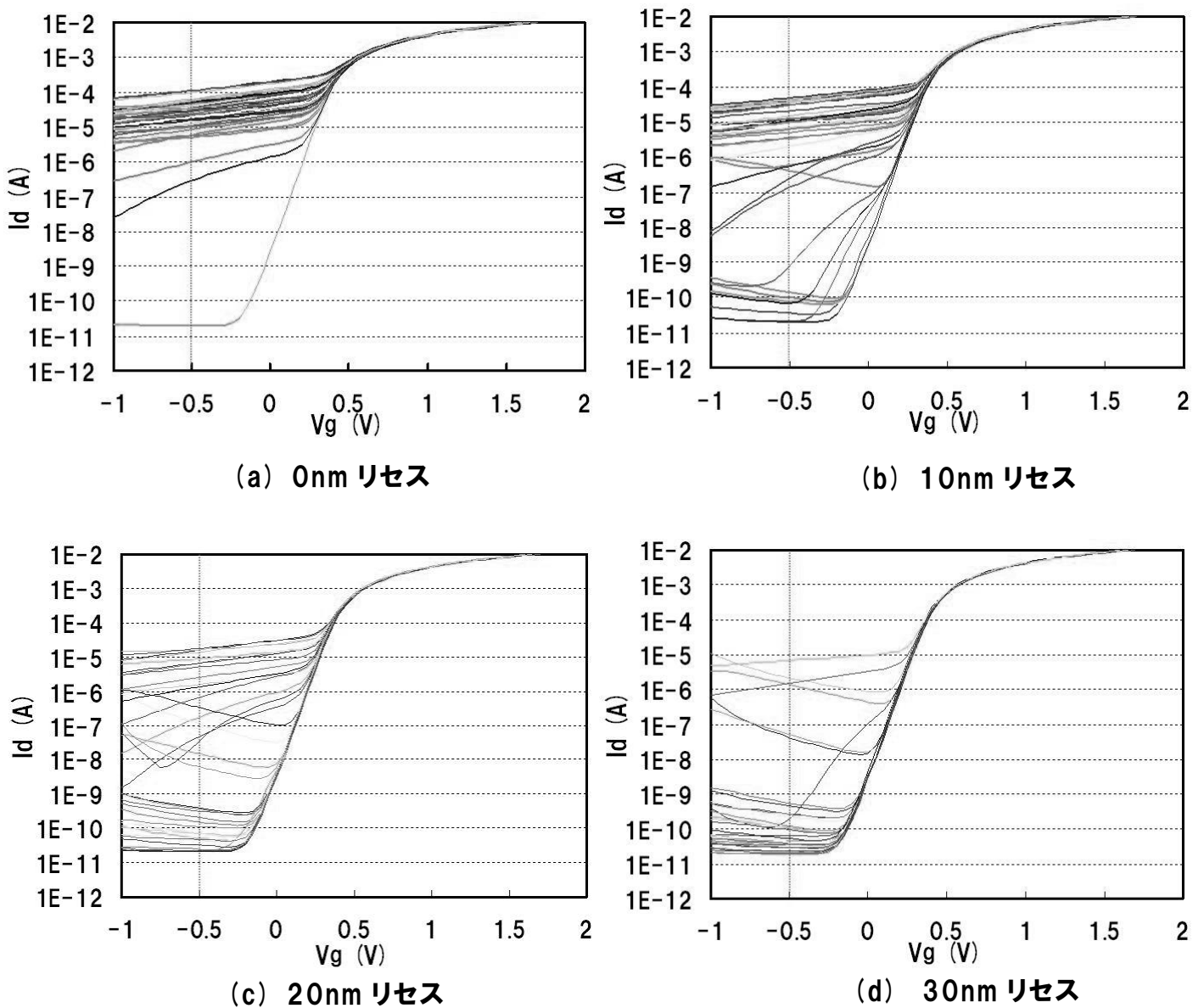


図 4-5 MOS トランジスタ  $V_g$ - $I_d$  特性の酸化膜リセス量依存性  
(ゲート長  $0.5 \mu\text{m}$ /ゲート幅  $1.4 \mu\text{m}$ )

この図では、 $V_g$  が 0V 以下の領域において、ソースドレイン間に流れる高いリーク電流を有するトランジスタを識別できる。酸化膜リセス 0nm の条件において、高いリーク電流を伴うトランジスタの出現頻度が最も高い。そして酸化膜リセス量の増加に伴い、高いリーク電流を伴うトランジスタの出現頻度は減少しており、酸化膜リセス量 30nm の条件では高いリーク電流を伴うトランジスタの出現頻度は最も低くなっている。これらの関係を詳細に分析するために、図 4-5 に示すデータから、 $V_g = -0.5V$  のときの  $I_d$  値を電流値の範囲によって分類して、それぞれの範囲におけるトランジスタ出現頻度をプロットしたものが図 4-6 である。

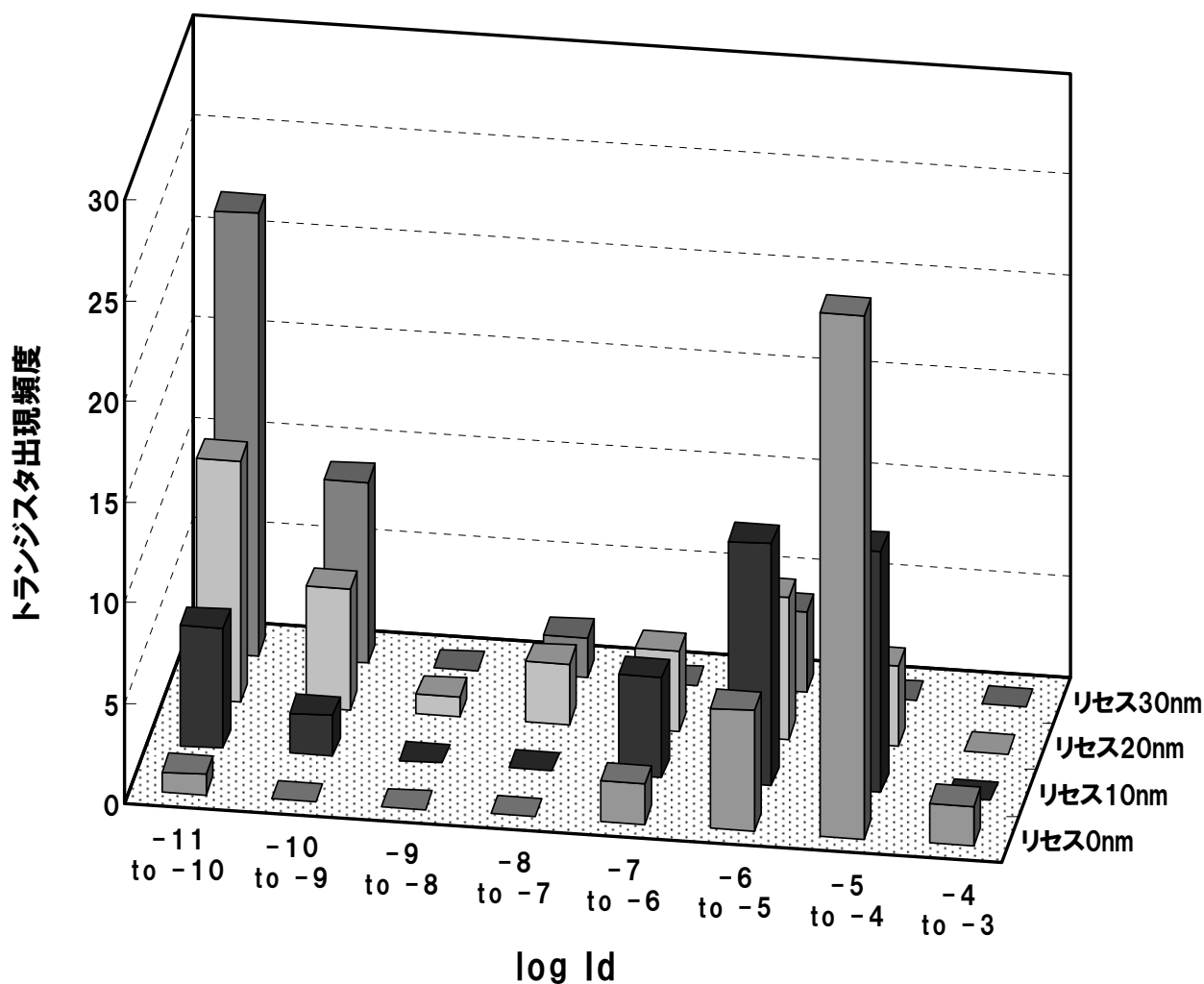


図 4-6 リーク電流度数分布

横軸は対数目盛表示で、8 つのグループに分類した、 $10^{-10}A$  から  $10^{-3}A$  までの  $I_d$  の値を示している。そして、縦軸はそれぞれの  $I_d$  範囲に対応したトランジスタ出現頻度を示している。この図より、酸化膜リセスの量の増加に伴い、 $10^{-11}A$  から  $10^{-10}A$  の範囲の極低レベルのリーク電流値となるトランジスタの出現頻度が高くなることを示し

ている。酸化膜リセス量 0nm の条件では、 $10^{-11}$ A から  $10^{-10}$ A までの  $I_d$  範囲の極低レベルリーク電流を伴うトランジスタ数はわずかであるが、酸化膜リセス量を増加させた 30nm の条件では 37 個のトランジスタのうちの 22 個が出現する。これとは対照的に、酸化膜リセス量の増加に伴い、高いリーク電流を伴うトランジスタ出現頻度が低くなっている。酸化膜リセス量 0nm では、37 個のトランジスタのうちの 26 個が、 $10^{-5}$ A から  $10^{-4}$ A までの  $I_d$  範囲の、非常に高いリーク電流を伴うが、酸化膜リセス量 30nm では、この範囲の高いリーク電流を伴うトランジスタはなかった。

$10^{-9}$ A から  $10^{-6}$ A までの  $I_d$  の範囲では、すべての酸化膜リセス量条件において、トランジスタ出現頻度は低い。この実験結果は、トランジスタのリーク電流が2つの領域に分布する特徴があることを示している。すなわち、 $10^{-9}$ A 以下の低いリーク電流領域と  $10^{-6}$ A $\sim$  $10^{-4}$ A の間の高いリーク電流領域にほとんどのトランジスタが分布している。そして、酸化膜リセス量増加に伴い、高いリーク電流領域から低いリーク電流領域に移行している傾向がある。

#### 4.4.2 トランジスタの構造解析とひずみ測定

リーク電流の原因を調査するために、高いリーク電流を伴うトランジスタ部の平面 TEM 観察を実施した。平面 TEM 像を図 4-7 に示す。図中の矢印によって示されるように、ソースとドレインの間を走る直線的な転位が発生していることが分かる。

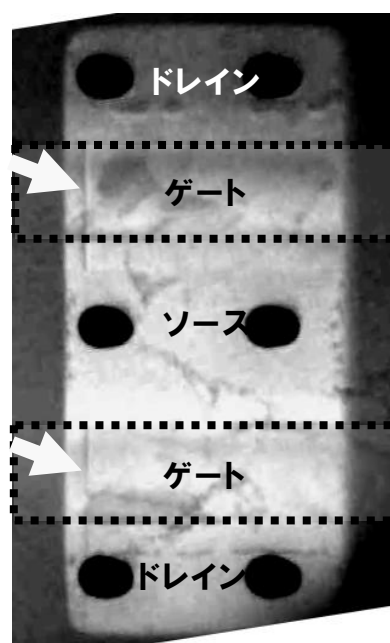
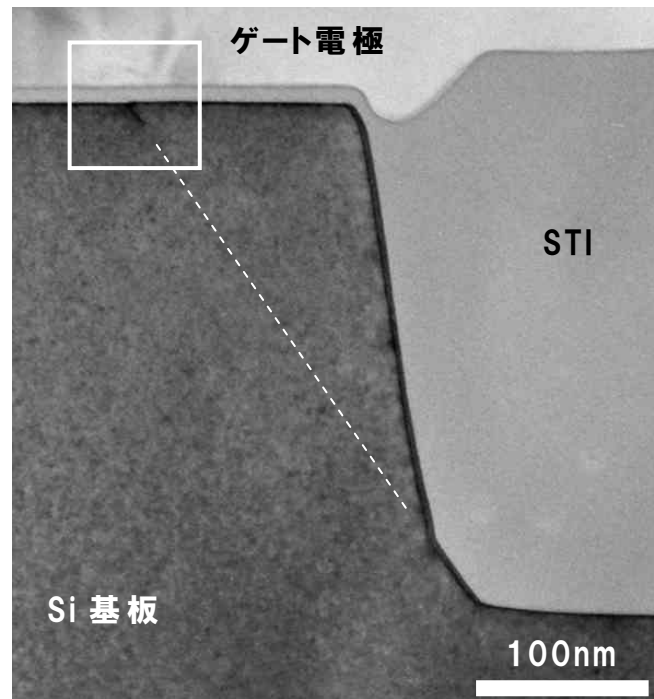
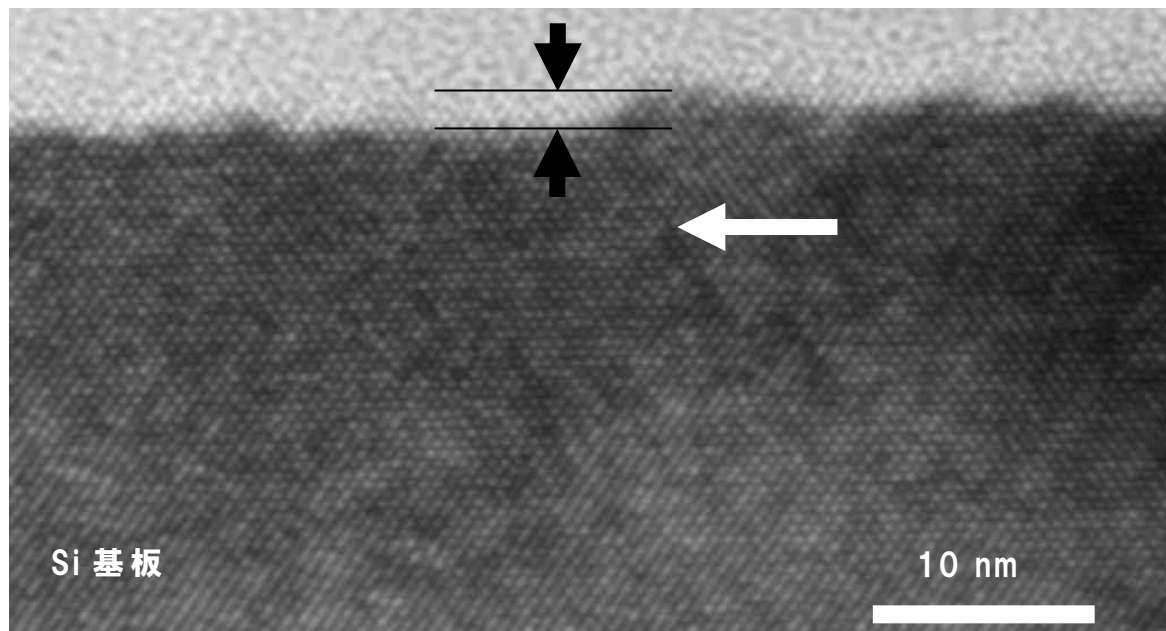


図 4-7 リーク電流故障トランジスタの平面 TEM 像

さらに、高いリーク電流を伴うトランジスタについて、ゲート電極に垂直な方向の断面 TEM 評価を実施した。その結果を図 4-8 に示す。図 4-8(a) は酸化膜リセス量 0nm で、高いリーク電流トランジスタの断面 TEM 像を示している。また、図 4-8(a) 中に示した枠内部分の高倍率の断面 TEM 像を図 4-8(b) に示す。



(a) 断面 TEM 像

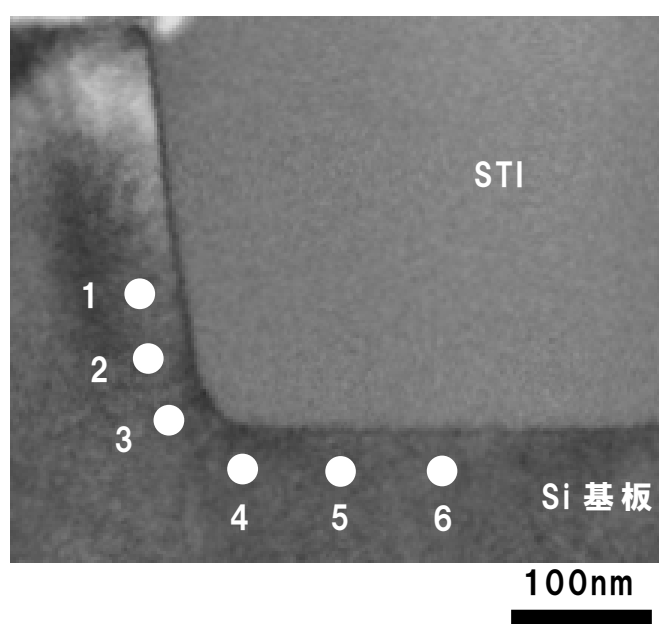


(b) (a) 中の白枠箇所の拡大断面 TEM 像

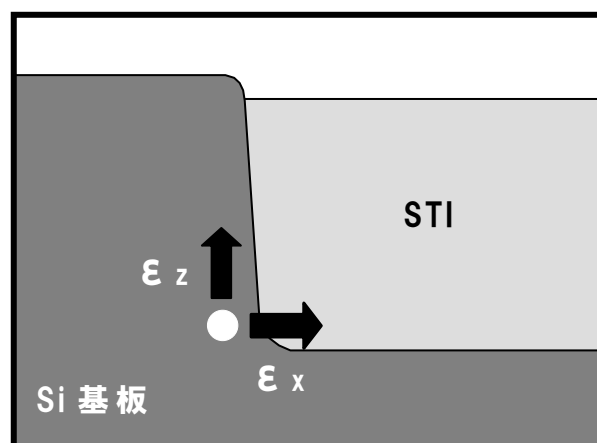
図 4-8 リーク電流故障トランジスタ部の断面 TEM 像

図4-8(a)では、ゲート電極直下のシリコン基板表面付近で転位が観測されている。さらに、図中に点線で示したように、転位は{111}結晶面に沿って形成されおり、点線の先はSTIのファセットに達している。また、図4-8(b)の高倍率の断面TEM観察結果では、シリコン基板表面では転位の両側の間に1.6nmの段差が発生していることが示されている。

次に、転位発生の原因調査のため、STI周りの複数箇所における歪を計測した。歪調査のためのCBED評価を行った箇所を白いドットで図4-9(a)の断面TEM像上に表示している。CBEDで計測した歪の方向は図4-9(b)中に矢印で示しているように、断面模式図において水平方向の歪を $\epsilon_x$ 、垂直方向の歪を $\epsilon_z$ としている。



(a)CBED 測定箇所

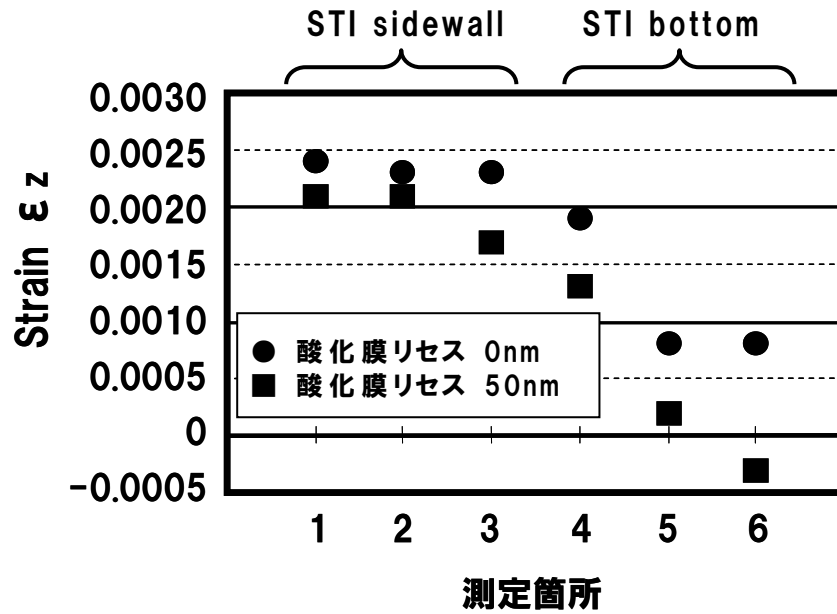


(b) 測定した歪方向

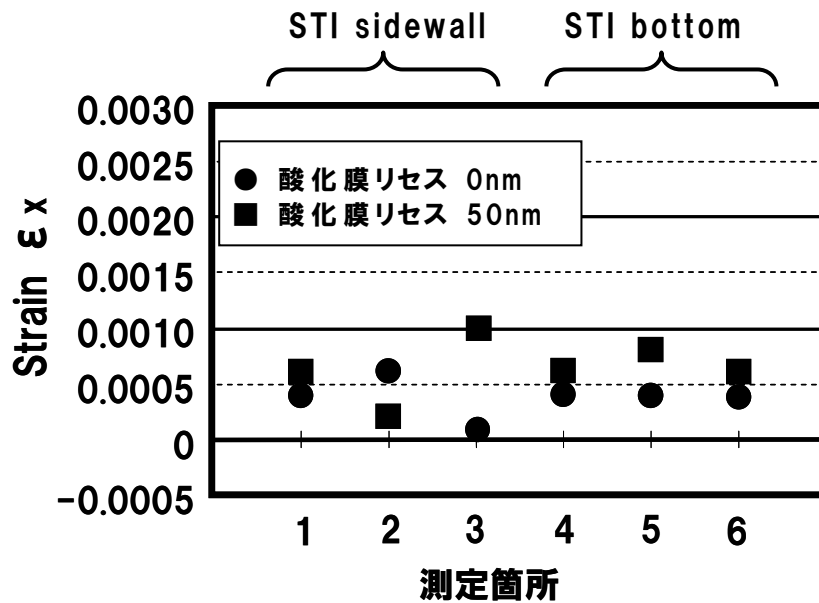
図4-9 STI周りのCBED評価



0nm と 50nm の酸化膜リセス条件の試料について行った CBED を用いた計測で得られた各測定箇所での歪値を図 4-10 に示す。水平方向の歪( $\epsilon_x$ )評価結果を図 4-10(a)に、垂直方向の歪( $\epsilon_z$ )評価結果を図 4-10(b)に示す。



(a) 歪  $\epsilon_z$  分布



(b) 歪  $\epsilon_x$  分布

図 4-10 CBED 法を用いて計測したシリコン中の歪分布

図において、横軸は図4-9(a)に示した測定点1~6に対応している。図4-10(a),(b)において、丸印は0nmの酸化膜リセス条件、四角印は50nmのSTI酸化膜リセス条件のそれぞれの試料の測定値である。

図4-10(a)の結果より、垂直方向の歪 $\varepsilon_z$ はSTI側壁部(測定点1, 2, および3)では大きい引張り歪が発生しており、STI底部では小さい引張り歪(測定点4と5)か小さい圧縮歪(測定点6)が発生していることが分かる。STI側壁に沿ったシリコン領域の歪はシリコン基板表面からの深さには依存せずに、STI底近くの広い深さ領域に亘ってほぼ一定の大きい歪が発生していた。図4-10(b)の結果より、水平方向の歪 $\varepsilon_x$ は評価を行ったすべての箇所において0.001以下と小さい値であった。そして、測定点4から6の位置における歪はほぼ同程度であった。酸化膜リセス量増加に伴って、 $\varepsilon_z$ はすべての測定点で減少しているが、 $\varepsilon_x$ に関しては酸化膜リセス量の依存性は全く見られなかった。

本実験にて、高リーク電流トランジスタの出現頻度と酸化膜リセス量との強い関係が明確になった。さらに、シリコン中の歪と酸化膜リセス量との関係があることも明確になった。

## 4.5 シミュレーション結果

歪シミュレーションは図4-9(a)の断面 TEM 像で表示されている領域と同様の領域を対象に行った。X 軸が横方向、Z 軸が縦方向である。圧縮歪はマイナス値で示され、引張り歪はプラス値で示されている。STI 周りのシミュレーションにより得られた二次元の歪分布を図4-11に示す。各々の箇所での歪の大きさを色分けして表示してある。黄緑から青色になるにつれて、引っ張り歪が大きくなることを示している。赤色側では逆に圧縮歪が大きくなることを示している。

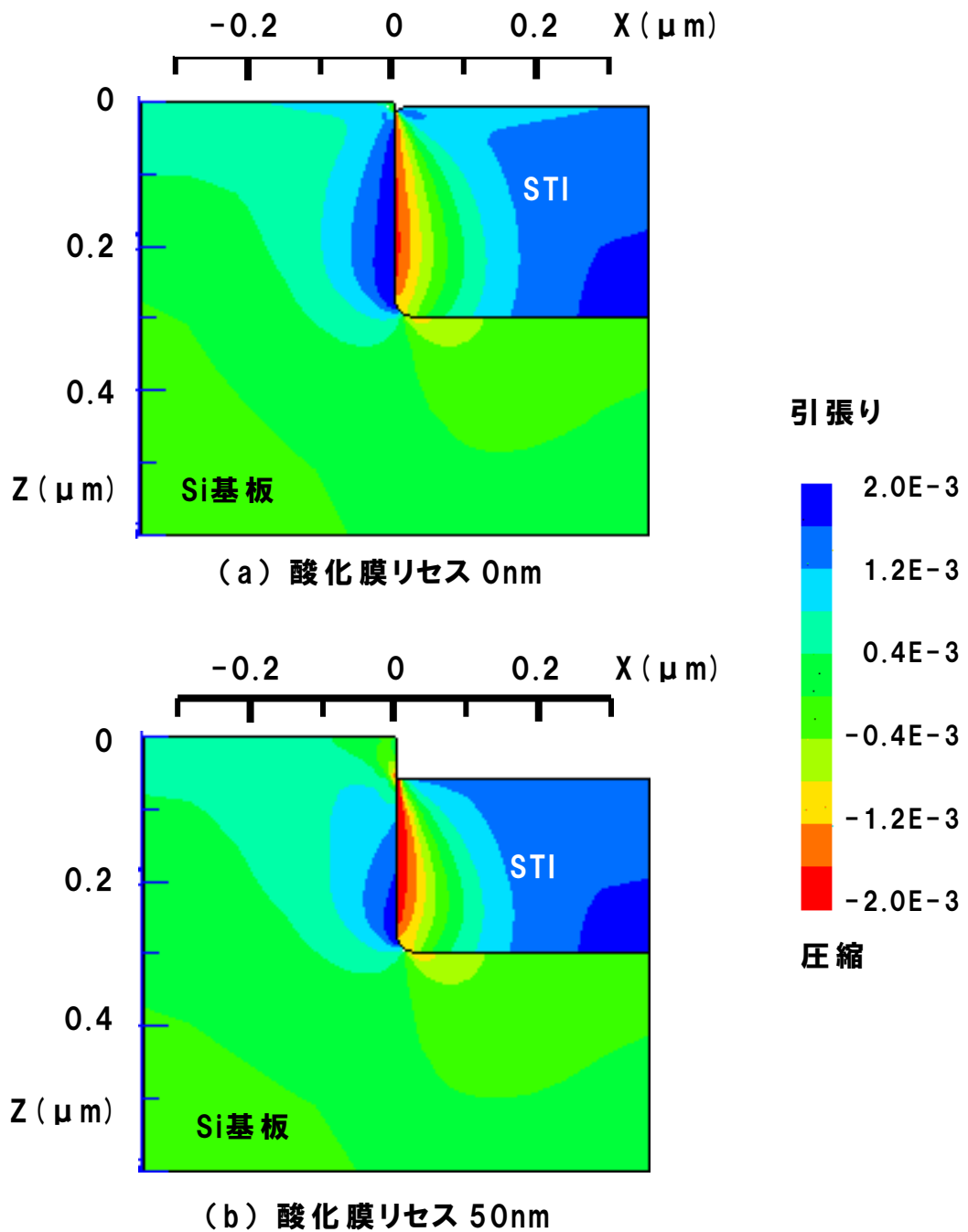
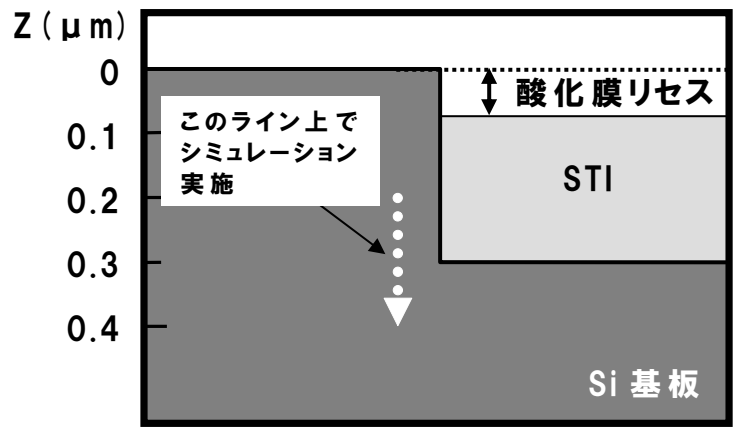


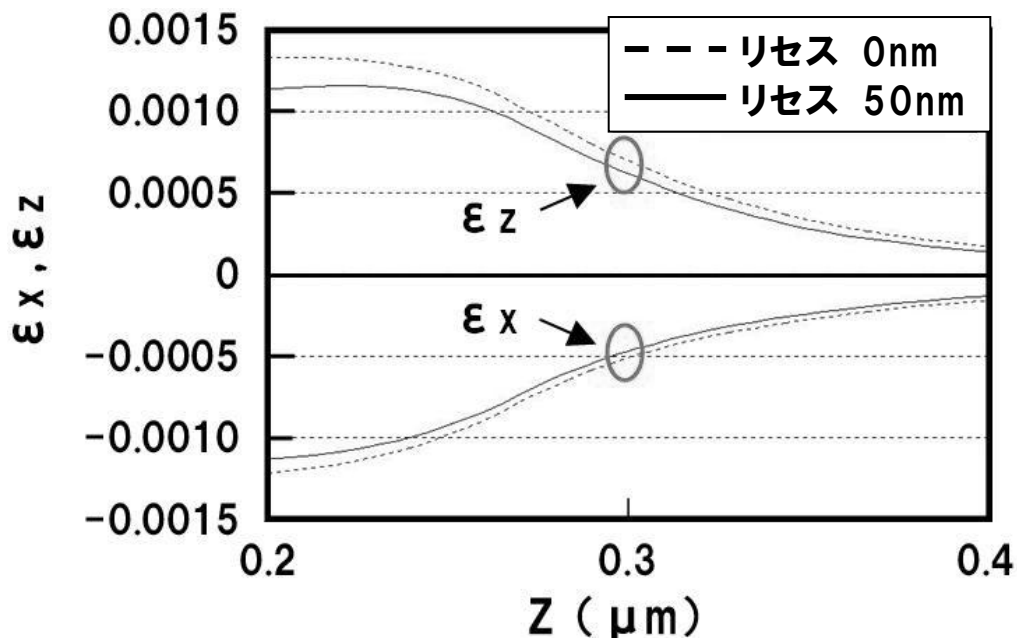
図4-11 シミュレーションによる歪の二次元分布

酸化膜リセス 0nm の場合では、図4-11 (a)に示されているように、垂直の方向の引張り歪  $\varepsilon_z$  は、STI 側壁近傍の広い範囲で強い引張り歪となっており、STI 底に近い領域で特に大きくなっている。大きな酸化膜リセス 50nm の場合では、図4-11(b)に示されているように、歪分布は酸化膜リセス 0nm の場合と同様な傾向であるが、歪量の値そのものは全体的に小さめになっている。また、STI 側壁の底近くに見られる比較的引張り歪の大きな領域の範囲も小さくなっている。

STI 側壁に沿った歪の詳細な変化を把握するため、図4-12(a)の模式図中に白い点線の矢印で示すライン上で歪のシミュレーションを行った。シミュレーションで得られた歪量の一次元のラインプロファイルを図4-12(b)に示す。横軸にシリコン基板表面を基準とした深さを、縦軸には歪の大きさをとり、水平方向の歪  $\varepsilon_x$  と垂直方向の歪  $\varepsilon_z$  を表している。CBED 測定箇所と対応させるため、STI の側壁端から 50nm 離れたところに設定した。また、STI トレンチの深さを  $0.3\mu\text{m}$  に設定し、シミュレーション対象領域を  $0.2\mu\text{m}$  から  $0.4\mu\text{m}$  の深さの範囲で行った。さらに、酸化膜リセス条件として 0nm と 50nm の2条件におけるシミュレーションを実施している。図4-12に示すシミュレーション結果から、歪  $\varepsilon_z$  は  $0.2\mu\text{m}$  から  $0.25\mu\text{m}$  の深さの範囲で最も大きくなり、それより深くになるに伴い、歪  $\varepsilon_z$  は小さくなっている。シミュレーションによる歪分布は両方の酸化膜リセス条件とも、CBED 評価結果と同じ傾向を示している。また、深さ方向全域において、0nm の酸化膜リセス条件より 50nm の酸化膜リセス条件の方が歪は小さい。特に、両者の違いは  $0.2\mu\text{m}$  から  $0.25\mu\text{m}$  の深さの領域で顕著な差が見られる。一方、 $\varepsilon_x$  については、深さが  $0.4\mu\text{m}$  から  $0.2\mu\text{m}$  へと浅くなるにつれて歪は大きくなり、 $0.25\mu\text{m}$  よりも浅い領域では 0.001 よりも大きい圧縮歪で、CBED 評価結果での 0.001 よりも小さい引張り歪とは異なる結果であった。次に図4-13 (a)に示すように、STI底面から 50nm 下方の領域を STI底面に平行な方向に対して、白い点線の矢印で示すライン上でシミュレーションを実施した。シミュレーションにより得られた歪分布を図4-13(b)に示す。図では、 $X = 0\mu\text{m}$  の位置は STI 側壁位置を示している。その結果では、 $\varepsilon_z$  が引張り状態にあり、 $\varepsilon_x$  が圧縮状態にある。 $\varepsilon_z$  と  $\varepsilon_x$  とも、 $X$  が  $0.05\mu\text{m}$  から  $0.08\mu\text{m}$  の間で最大値となっているものの、 $\varepsilon_z$  と  $\varepsilon_x$  の値は同程度で、しかも約 0.004 と非常に小さい値であった。さらに、 $\varepsilon_z$  と  $\varepsilon_x$  の分布は酸化膜リセス量によらず、同様であった。このシミュレーション結果は、STI 底付近の歪みは、 $\varepsilon_x$  と  $\varepsilon_z$  の両方とも STI 埋め込み酸化膜リセス量には依存していないことを示している。

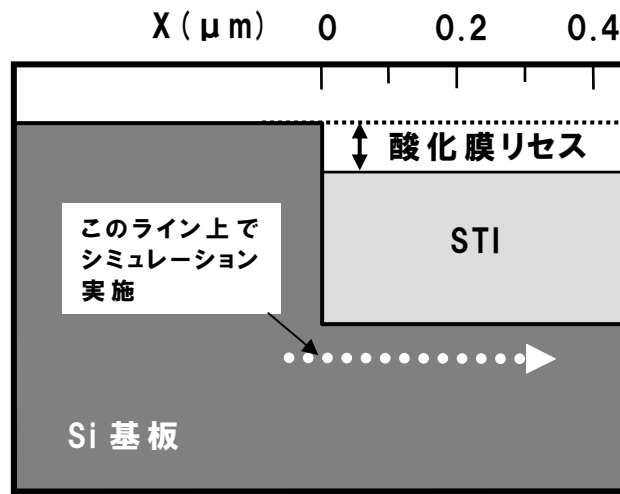


(a) STI 構造の断面模式図とシミュレーション対象箇所

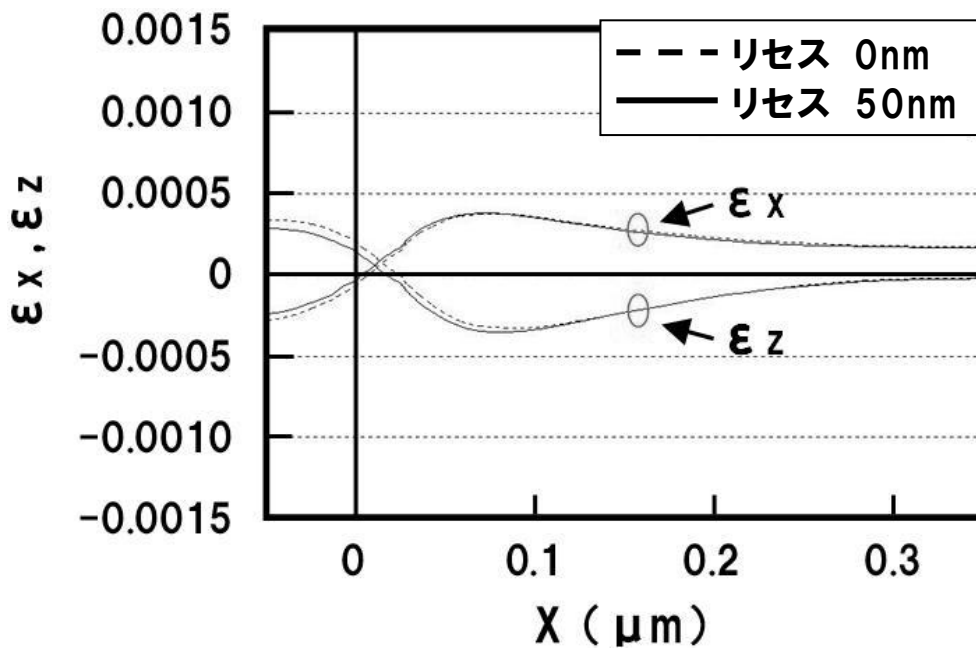


(b) シミュレーション結果

図4-12 シミュレーションによる歪の Z 方向二次元分布



(a) STI 構造の断面模式図とシミュレーション対象箇所



(b) シミュレーション結果

図 4-13 STI 底における歪分布のシミュレーション

## 4.6 考察

トランジスタのソース-ドレイン間リーク電流はリーク電流量に関して二つの領域に分離している。高リーク電流領域は、 $10^{-6}\text{A}$  から  $10^{-4}\text{A}$  の範囲にある。そして、STI 埋め込み酸化膜リセス量が増加するのに伴い、高リーク電流領域から正常なトランジスタレベルである低リーク電流領域までシフトする。一方、STI 埋め込み酸化膜リセス量が 0nm の条件では、多くのトランジスタが高リーク電流領域にある。これは、STI 埋め込み酸化膜リセス量が増加するのに伴って、高リーク電流領域に属するトランジスタ数が減少することを意味する。そして、STI 埋め込み酸化膜リセス量が 30nm の条件で、殆どのトランジスタが、トランジスタ動作には問題の無い低リーク電流領域に属するようになる。すなわち、リーク電流分布が STI 埋め込み酸化膜のリセス量に依存することが示されている。さらに、リーク電流は連続した分布にはならず、2つに分離した離散的な分布になっている。これは、この2つの分布の差に匹敵するリーク電流パスの存在を示唆している。ドレイン電流とソース電流が同じ値になっていることは、測定時に確認しており、この間にリークパスが存在していることになる。すなわち、リーク電流パスはソースとドレイン間の領域で、かつゲート電極直下に形成されていると考える。

一方、高リーク電流トランジスタの平面 TEM 観察で、トランジスタチャネル部のソースとドレインの間を直線的に走る転位が観察されている。低リーク電流トランジスタの平面 TEM 観察では転位は観察されなかったことから、転位は高電流リークパスになっていると考えられる。すなわち、リーク電流パスがトランジスタチャネル部で形成されるかどうかによってリーク電流量が決定されると言える。トランジスタ特性評価結果から、リーク電流の発生頻度は STI 埋め込み酸化膜リセス量と強い相関関係があることは明らかである。一方、CBED 法を用いた計測ならびにシミュレーション結果により STI 埋め込み酸化膜リセス量とシリコン中の局所的な歪とは相関があることも明確になっている。これらの結果から、STI 埋め込み酸化膜リセス量とリーク電流との関係、STI 埋め込み酸化膜リセス量と歪との関係、さらには転位の存在とリーク電流との関係があることが明確になった。

以上のことから、トランジスタの高リーク電流を引き起こす要因となる転位発生は STI 構造で引き起こされる局所的な強いストレスが原因となっている。そしてこのストレスは STI 埋め込み酸化膜リセス工程での STI 内に残ったシリコン酸化膜量によって決められていると結論づけることができる。

CBED 評価とシミュレーションの結果より、シリコン基板表面方向に対して垂直方向

の引張り歪が STI 側壁付近で大きいことが判明し、その引張り歪みとリーク電流との強い相関関係が明確になった。さらに、シミュレーションの結果は、特に大きい垂直方向の歪みが STI 側壁底に発生することを示した。そして、STI 埋め込み酸化膜リセス量が増加するのに伴い、この領域の垂直方向の歪みの大きさは小さくなり、強い歪み領域も小さくなる。STI 側壁部の水平方向の歪みについて CBED 評価とシミュレーションの結果が異なっている。これはシミュレーションの構造モデルとして STI 側壁と STI 底面とが垂直をなす構造を設定しているのに対して、実際の構造では STI 側壁は若干の傾斜があり、STI 底コーナ一部において丸みを持った形状である。STI 側壁部の水平方向の歪みが CBED 評価とシミュレーション結果とで異なった理由として、この形状的な違いが影響したと考えられる。

表面チャンネルに沿って走る転位は STI 端から一定の位置に発生する特徴がある。さらに、STI 底のファセット部と表面転位は{111}結晶面に沿って、同じライン上に存在している特徴も見られた。従って、表面チャンネル領域に発生する転位と STI 側壁の状態には、お互いに密接な関係がある。ドライエッチングなどの STI 製造プロセス工程で STI 側壁のシリコン中に微結晶欠陥か点欠陥を導入している可能性があり、その後の工程で歪みが塑性変形限界を超えたときに、そこを起点に転位を引き起こす可能性がある。今回の実験では、転位は STI のファセット延長線上に見られるケースが多い。一方で図 4-14 の断面 TEM 像に示すように、STI のファセットではなく、STI 側壁から発生する転位も確認している。

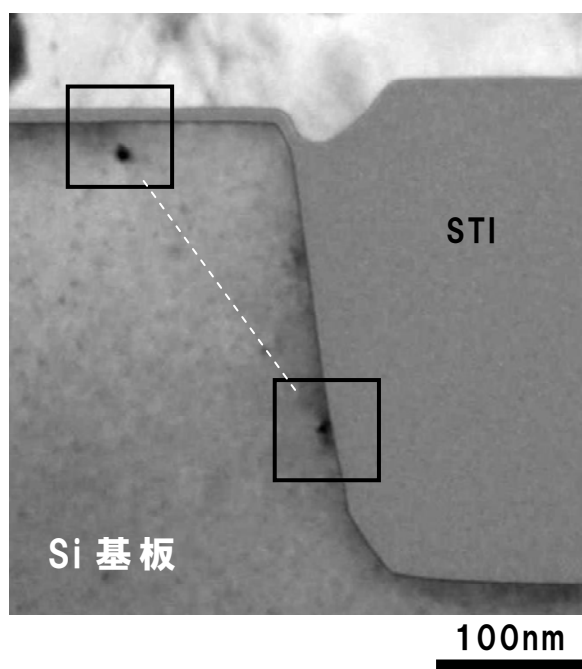


図 4-14 高電流リークトランジスタ部断面 TEM 像



これらを考慮すると、転位が{111}面に沿ってシリコン表面のチャネル領域に到達する可能性は非常に高い。転位は STI 埋め込み酸化膜リセス量に依存する STI 側壁部の引張り歪によって引き起こされ、結果的にトランジスタにとって望ましくないリーク電流が表面チャネルを走る転位によって引き起こされていることになる。また、本研究では、STI 製造プロセスにおける埋め込み酸化膜リセス量を調整することによってトランジスタのリーク電流の発生を防げることが検証できた。

## 4.7 結論

本研究では、STI 製造プロセスとトランジスタのリーク電流との関係を調査した。その結果、トランジスタのリーク電流値はばらつきがあるものの、連続的なばらつきではなく、離散的なばらつきを持ち、リーク電流分布が STI 埋め込み酸化膜リセス量と密接な関係があることが明らかになった。STI 形成プロセスの間、STI 埋め込み酸化膜リセス量に依存して STI 側壁に発生する引張り歪の強さが変化し、リセス量が少ないと STI 側壁に発生する引張り歪が強くなり、転位が形成されることが明らかになった。また、TEM 解析とシミュレーションにより、ソースとドレイン間に走る転位がリーク電流パスになる可能性を示した。これらの要素を取り除くことにより、トランジスタのリーク電流故障の防止が行える。さらに、STI 製造プロセス中の STI 埋め込み酸化膜リセス量を制御して、歪みを抑えることによって、トランジスタのリーク電流低減が可能であるということが検証できた。なお、STI 埋め込み酸化膜リセス量を制御して、歪みを抑える方法とそのメカニズムについては、過去に研究されたことはなく、今回の研究で初めて実証した。

## 参考文献

1. K. Fukumoto, S. Kudo, Y. Ogawa, F. Ota, T. Uchida, K. Tsukamoto, T. Takeuchi, T. Koyama, J. Komori, H. Yamamoto, and Y. Mashiko: "Evaluation of the Strain around an Isolated Shallow Trench and the Impact of Stress on LSI Device Performance", Jpn. J. Appl. Phys., **49**(2010)026502
2. K. Fukumoto, H. Maeda, Y. Mashiko, M. Sekine and H. Koyama: "Analysis of Localized Small Defect in ULSIs", Materials Research Society Symp. **405**, (1996) p.447
3. 古田正昭, 橋川直人, 廣瀬幸範, 福本晃二, 益子洋治, "TEMによる結晶欠陥起因電流リーク故障解析技術", LSIテストングシンポジウム会議録, (2002)p.257
4. S. Onishi, A. Ayukawa, K. Uda and K. Sakiyama: "Defect-Free Shallow PIN Junction by Point Defect Engineering", Proc. of International Reliability Physics Symposium, (1992)p.102
5. H. Cerva and W. Bergholz: J. Electrochem. Soc. **140**, No. 3 (1993)780
6. Andrew B. Kahng, Puneet Sharma, Rasit O. Topaloglu: "Exploiting STI Stress for Performance", CUSTOM INTEGRATED CIRCUITS CONFERENCE, (2007)P.83
7. Rasit Onur Topaloglu: "Standard Cell and Custom Circuit Optimization using Dummy Diffusions through STI Width Stress Effect Utilization", Custom Intergrated Circuits Conference, (2007)p.619
8. C. Ortolland, S. O rain, J. Rosa, P. Morin, F. Arnaud, M. Woo, A. Poncet and P. Stolk, "Electrical Characterization and Mechanical Modeling of Process Induced Strain in 65 nm CMOS Technology", ESSDERC, (2004)P.137
9. H. Belgal, G. Yuen, J. Grohs, L. Rozler, H. Gee, S. Broydo, H. A. R. Wegener, W. Owen, J. Drori, "A New Mechanism of Pipeline Defect Formation in CMOS Devices", Proc. of International Reliability Physics Symposium, (1994)P.399
10. Sik-Han Soh, Jim Lari, Scott Hunt, Tad Davies, Max Kuo, Unsoon Kim, Manton Cheung, Elroy Lucero: "Relation Between Etch Pit Pairs And Pipeline Defects In CMOS Device", Proc. of International Reliability Physics Symposium, (1995)p.244

11. J.R Shih, R. Wang, Y.M. Sheu, H.C Lin, J.J. Wang, and K. Wu: "Pattern Density Effect of Trench Isolation-Induced Mechanical Stress on Device Reliability in sub-0.1 $\mu$ m Technology", Proc. of International Reliability Physics Symposium, (2004)489
12. J.P. Stark, D. Y. Lee, and L.Vaughn: "Diffusion in three different dislocations in an fcc crystal", J. Appl. Phys. **64(9)**, (1988)4491
13. CT Wang, Homayoon Haddad, Paul Berndt, Bao-Sun Yeh, Bill Connors: "Pipeline Defects in CMOS MOSFET Devices caused by SWAMI Isolation", Proc. of International Reliability Physics Symposium, (1992)p.85
14. H. Belgal, G. Yuen, J. Grohs, L. Rozler, H. Gee, S> Broydo, H.A.r. Wegener, W.Owen, and J. Drori: "A New Mechanism of Pipeline Defect Formation in CMOS Devices", Proc. of International Reliability Physics Symposium (1994)p.399
15. Sik-Han Soh, Jim Lari, Scott Hunt, Tad Davies, Max Kuo, Unsoon Kim, Manton Cheung, and Elroy Lucero: "Relation Between Etch Pit Pairs And Pipeline Defects In CMOS Device", Proc. of International Reliability Physics Symposium, (1995)p.244
16. J. G. Fiorenza, G. Braithwaite, C. Leitz, M. T. Currie, Z. Y. Cheng, V. K. Yang, T. Langdo, J. Carlin, M. Somerville, A. Lochtefeld, H. Badawi, and M. T. Bulsara: "Investigation of Misfit Dislocation Leakage in Supercritical Strained Silicon MOSFETS", Proc. of International Reliability Physics Symposium, (1994)
17. A. Toda, N. Ikarashi, H. Ono, K. Okonogi: "Determining the relationship between local lattice strain and slip systems of dislocations around shallow trench isolation by convergent-beam electron diffraction," Appl. Phys. Letters, **80**, No.13, (2002)2278
18. M. Kim, J. M. Zuo, Gyeong-Su Park: "High-resolution strain measurement in shallow trench isolation structures using dynamic electron diffraction", Appl. Phys. Letters, **84**, No.12, (2004)2181
19. J. Huang and M. J. Kim, P. R. Chidambaram, R. B. Irwin, P. J. Jones, J. W. Weijtmans, E. M. Koontz, Y. G. Wang, S. Tang, and R. Wise: "Probing nanoscale local lattice strains in advanced Si complementary

- metal-oxide-semiconductor devices”, *Appl. Phys. Letters*, **89**, (2006) 063114-1.
20. R. Sugie, K. Matsuda, T. Ajioka, and M. Yoshikawa, T. Mizukoshi and K. Shibusawa, S. Yo: ”Investigation of stress-induced defects in shallow trench isolation by cathodoluminescence and Raman spectroscopies”, *Appl. Phys.* **100**, (2006)064504-1
21. T. Saito, Y. Doke, Y. Sakaida, and Y. Ikuhara: ”Surface Defects and Local Strain in Polished Silicon by Transmission Electron Microscopy”, *Jpn. J. Appl. Phys.* **34**, (1995)3198
22. T. Lin, Y. Gong, J. Tseng, L. Yu, T. Shen, D. Chen, T. P. Chen, C. Kuo, W. Shiau, L. Jung, J. K. Chen, S. C. Chien and S. W. Sun: ”Optimization of Active Geometry Configuration and Shallow Trench Isolation (STI) Stress for Advanced CMOS Devices”, *Jpn. J. Appl. Phys.* **43**, (2004)1756
23. R. J. Young, E. C. G. Kirk, D. A. Williams and H. Ahmed, *Materials Research Society Symp.* **199**, (1990)P.205
24. N. Hashikawa, K. Fukumoto, T. Kuroi, M. Ikeno and Y. Mashiko, ”Direct observation of Local Strain Field for ULSI Devices”, *Microelectron Reliab.*, **38**, (1998)p.913
25. 橋川直人, 福本晃二, 村田直文, 池野昌彦, 益子洋治, ”CBED 法を用いた半導体デバイスの応力評価”, *LSI テスティングシンポジウム会議録*, (1998)p.150
26. V. Senez, A. Armigliato, I. Wolf, G. Carnevale, R. Balboni, S. Frabboni and A. Benedetti: *J. Appl. Phys.* **94**, No. 9, (2003)5574.
27. M. Ishibashi, K. Horita, M. Sawada, M. Kitazawa, M. Igarashi, T. Kuroi, T. Eimori, K. Kobayashi, M. Inuishi and Y. Ohji: ”Novel Shallow Trench Isolation Process from Viewpoint of Total Strain Process Design for 45nm Node Devices and Beyond”, *Jpn. J. Appl. Phys.* **44**, (2005)2152.
28. J. C. H. Spence and J. M. Zuo: *Electron Microdiffraction* (Plenum Press, New York, (1992)p.7
29. P. Zhang, A. A. Istratov, E. R. Weber, C. Kisielowski, H. He, Chris Nelson, and J. C. H. Spence: ”Direct strain measurement in a 65 nm node strained silicon transistor by convergent-beam electron diffraction”, *Appl. Phys. Letters*, **89**, (2006)161907-1

30. A. Armigliato, A. Spessot, R. Balboni, A. Benedetti, G. Carnevale, S. Frabboni, G. Mastracchio and G. Pavia: "Convergent beam electron diffraction investigation of strain induced by Ti self-aligned silicides in shallow trench Si isolation structures", J. Appl. Phys. **99**, (2006)064504-1
31. K. Kimoto, K. Usami, H. Sakata, and M. Tanaka: "Measurement of Strain in Locally Oxidized Silicon using Convergent-Beam Electron Diffraction", Jpn. J. Appl. Phys. **32**(1993)211
32. T. Uchida and K. Nishi: "Formulation of a Viscoelastic Stress Problem Using Analytical Integration and Its Application to Viscoelastic Oxidation Simulation", Jpn. J. Appl. Phys. **40** (2001) 6711
33. T. Wada and N. Kotani: IEICE Trans. Electron. C Vol. 82,(1999) p.839

## 第5章 Cu汚染起因ピット故障の評価技術とCu汚染対策

### 5.1 序

シリコン集積回路の微細化が急速に進み、これまで問題とならなかった微小な結晶欠陥や金属汚染の影響が顕著に現れるようになってきている<sup>(1)</sup>。代表的な微小結晶欠陥として単結晶シリコン育成時に空孔が凝集して形成される COP (Crystal Originated Particle)<sup>(2)</sup>が知られている。COP の大きさは  $0.1\ \mu\text{m}$  から  $0.3\ \mu\text{m}$  程度であるが、COP がデバイス特性に及ぼす影響は、デバイスの設計ルールが  $0.3\ \mu\text{m}$  程度になって以降、大きな問題となった。一方、金属汚染の影響はシリコン半導体デバイス創成期から現れており、生産環境のクリーン化とシリコンウェーハに施すゲッターリング技術で対処してきた。ゲッターリングとは、デバイスの活性領域以外の領域に導入された不純物をトラップする手法であり、物理的な金属汚染に対しては非常に有効である。ゲッターリング手法には、酸素の外方拡散とシリコン基板内部に酸素起因の結晶欠陥を形成するプロセスを組み合わせた IG (Internal Gettering or Intrinsic Gettering) と、ウェーハ裏面にポリシリコン層を形成する、あるいは裏面にリンを拡散させて欠陥を形成する、さらには高濃度ボロン基板上にエピタキシャル層を形成し、ボロン基板をゲッターリングサイトにする等の EG (External Gettering or Extrinsic Gettering) がある。

シリコンデバイスにおける金属汚染の影響は、上記のような物理的な過程によって発生する以外に、ウェットプロセス中に化学的な過程を経た故障として現れる。シリコンデバイス製造において、弗酸はシリコン酸化膜の除去に広く使用されている。弗酸処理液中に Cu が混入すると、シリコン表面に微小なピットが形成されることが報告されている<sup>(3)</sup>。この場合、Cu 自体はその後の洗浄で除去されるが、ピットのみシリコンウェーハに残存し、故障を引き起こす。このような Cu 汚染起因のピット故障(以下、Cu 汚染/ピット故障)は純水中の処理でも発生する<sup>(4)</sup>。

本章では、Cu 汚染/ピット故障を評価するための手法として Cu デコレーション法の有効性の調査、Cu 汚染/ピット故障のデバイス特性への影響を調査するためにゲート酸化膜の耐圧劣化の調査、そして水素アニールやエピタキシャル成長による Cu 汚染/ピット故障対策の効果を SEM を用いた形状評価により調査した。

## 5.2 実験

シリコンウェーハ製造の最終工程は鏡面研磨工程である。鏡面研磨工程では、研磨剤を含むスラリーと呼ばれる溶液を供給し、CMP (Chemical Mechanical Polish) によりウェーハ表面を鏡面化する。スラリーには、不純物として 50ppb 程度の Cu が含まれていることが分析により確認できており、鏡面研磨後のスラリー除去が不十分な場合、Cu 汚染が発生する可能性がある。本実験における評価サンプルは、鏡面研磨後の処理として、純水中にウェーハを 2 分間以上保存し、その後、SC1 (Standard Cleaning 1) 洗浄を施した。SC1 洗浄液の組成は、 $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5$  である。Cu 汚染のないリファレンスウェーハは、鏡面研磨後の純水保存前に純水での流水処理を十分に実施し、スラリーを除去した。一方、Cu 汚染ウェーハ (NG-2 および NG-15) は、純水中保存前の流水処理を行っておらず、強制的にスラリーを持ち込んだ。Cu 汚染のないウェーハおよび Cu 汚染されたウェーハとも、最終洗浄として SC1 洗浄を実施した。SC1 洗浄によりシリコンウェーハに付着した Cu が除去されることが報告されている<sup>(3)</sup>。SC1 洗浄により、シリコンウェーハ表面には数 nm 厚のシリコン酸化膜が形成されている。

### 5.2.1 Cu デコレーション法と構造解析による故障部同定

Cu 汚染 / ピット故障部の同定は、Cu デコレーション法<sup>(5)</sup>を用いて行った。Cu デコレーション法の概略図を図 5-1 に示す。

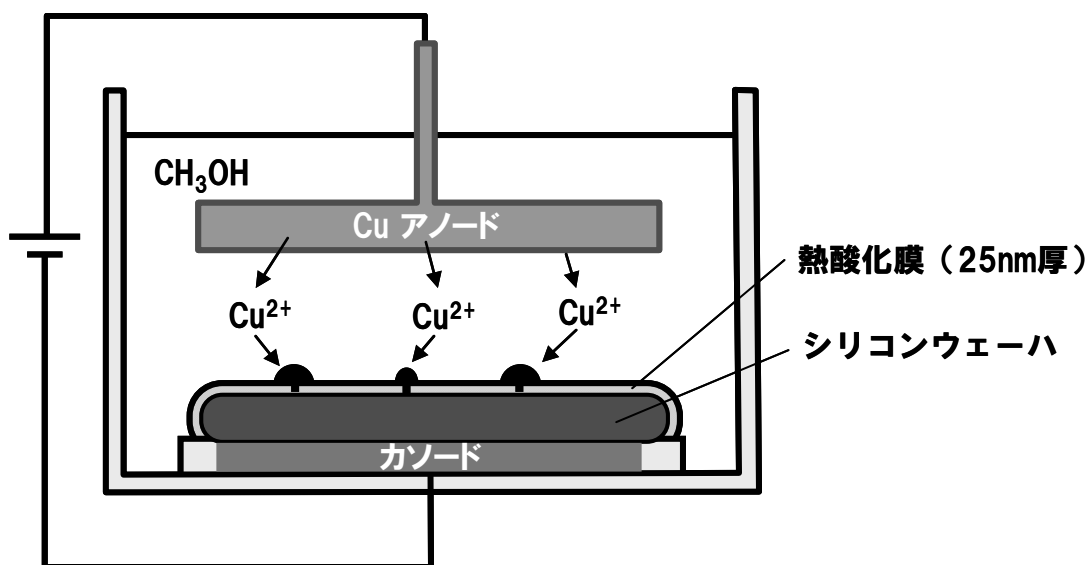


図 5-1 Cu デコレーション法

25nm 厚の熱酸化膜を形成した後に裏面の酸化膜のみ除去したシリコンウェーハを図に示すようにメチルアルコールを満たした容器中に陰極側に設置し、常温にて Cu 電極を陽極として通電した。通電時間は 2 分間と 15 分間の 2 条件である。通電により、シリコン酸化膜の耐圧リーク部に Cu が析出することでリーク部が同定できる。その後、Cu 析出部近傍にレーザマーキングを行うことで耐圧リーク箇所を明示し、SEM により耐圧リーク箇所の形状評価を実施した。形状評価にあたっては、塩酸処理により Cu を除去して酸化膜上の SEM 観察による形状評価を、また弗酸処理により Cu と酸化膜を除去してシリコンウェーハ上の SEM 観察による形状評価を実施した。

## 5. 2. 2 電氣的測定によるデバイス特性への影響調査

Cu 汚染／ピット故障のデバイス特性への影響を調査するため、シリコンウェーハ上に形成した厚さ 10nm の熱酸化膜の経時耐圧劣化 (TDDB: Time Dependent Dielectric Breakdown) により評価した。シリコン基板としては、最も一般的な単結晶育成法である CZ (Czochralski) シリコンウェーハを用い、鏡面研磨後の純水処理時に Cu 汚染有無で処理したウェーハの条件での TDDB 評価を行った。

次に、水素アニールやエピタキシャル成長によるデバイス特性の改善効果を調査するため、Cu 汚染／ピット故障を発生させた CZ ウェーハに対し、水素アニールおよびエピタキシャル成長後の酸化膜耐圧劣化評価を実施した。なお、水素アニールおよびエピタキシャル成長前の洗浄としては SC1 洗浄を実施しており、洗浄後のウェーハ表面には Cu 汚染は存在していない。

## 5. 2. 3 Cu 汚染／ピット故障対策効果確認のための構造解析

Cu 汚染／ピット故障の水素アニールおよびエピタキシャル成長による改善のメカニズム解明のため、シリコン表面に LOCOS (Local Oxidation of Silicon) プロセスにより段差を形成し、その形状変化の SEM 観察を行った。

水素アニールは、通常エピタキシャル成長前の自然酸化膜除去処理として実施される。本実験においては、1190℃で 20 秒の処理を行った。エピタキシャル成長層の厚さは、0.3 μm から 5 μm の範囲で変化させた。エピタキシャル成長の条件は、成長温度が 1135℃であり、成長レートは 3 μm/min である。



## 5.3 結果と考察

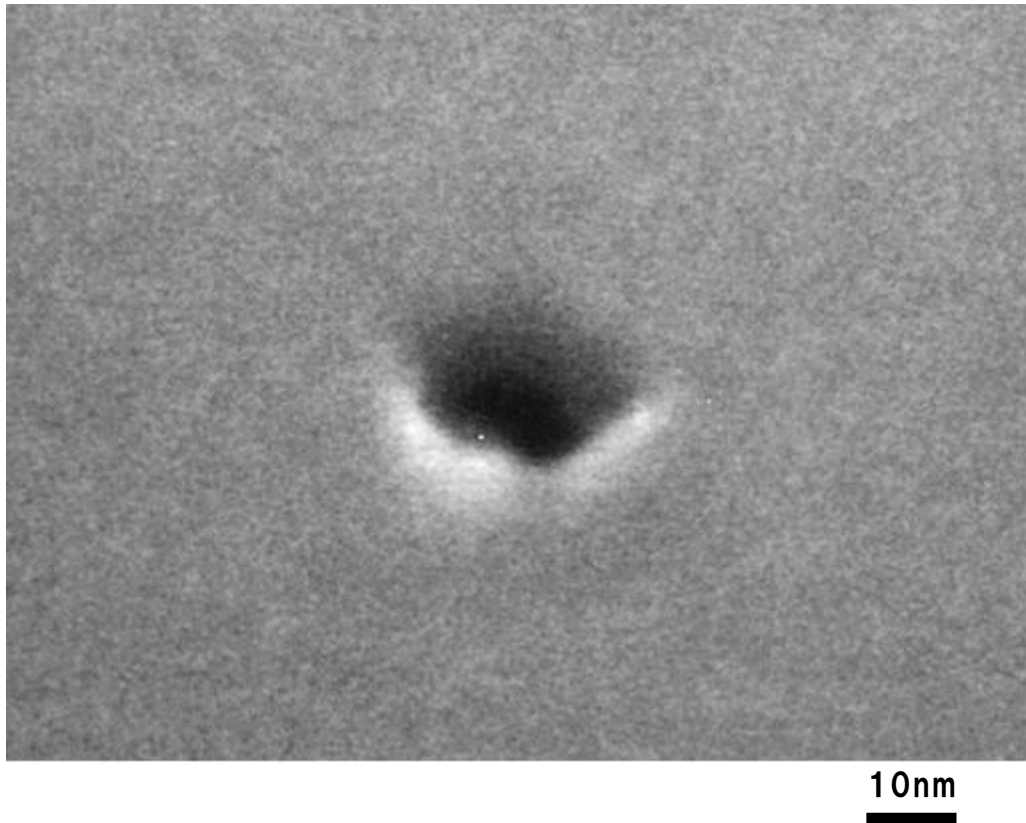
### 5.3.1 Cu デコレーション法による評価

Cu デコレーションの条件と表面 Cu 析出の密度と大きさをまとめた表を表5-1に示す。リファレンスは Cu 汚染のない CZ ウェーハ、NG-2 および NG-15 はウェーハの鏡面研磨後に Cu 汚染のある純水中で処理した CZ ウェーハ(Cu 汚染／ピット故障ウェーハ)である。Cu デコレーションの通電時間は、リファレンスサンプルと NG-15 サンプルは 15 分間、NG-2 サンプルは 2 分間である。

表5-1 Cu デコレーション条件と評価結果

	Cu 汚染 /Pit 故障	Cu デコレーション条件		評価結果	
		電界 (MV/cm)	通電時間 (分)	Cu 析出密度 ( $\text{cm}^{-2}$ )	Cu 析出サイズ ( $\mu\text{m}$ )
リファレンス	なし	5	15	9	700
NG-15	あり			997	100
NG-2			2	1160	10

Cu デコレーション処理後の Cu 析出密度は、リファレンスでは  $9\text{cm}^{-2}$  であるのに対し、Cu 汚染／ピット故障ウェーハでは  $1000\text{cm}^{-2}$  前後となっており、リファレンスの 100 倍程度になったが、通電時間依存性は見られなかった。また、リファレンスと NG-15 の通電時間は同じであるが、Cu 析出サイズが大きく異なっている。これは、シリコン酸化膜のリーク箇所が少ないリファレンスウェーハでは、電流集中により、個々の Cu 析出サイズが大きくなったと考えられる。また、NG-2 と NG-15 の比較から Cu 析出サイズは時間とともに拡大することが分かる。



**図5-2 Cu 汚染/ピット 故障の表面 SEM 像**

NG-2 ウェーハを用い、レーザーマーキングにより、リーク箇所を明示した後、塩酸処理により Cu を除去し、酸化膜上から SEM 観察により評価した結果を図5-2に示す。Cu 汚染により数十 nm 程度の不定形形状のピットが形成されていることが確認できた。ピットのサイズは大きいもので 30nm 程度であり、10nm から 30nm のサイズであった。この結果は、Cu 汚染/ピット故障が現行の光学式のパーティクル測定では評価できないことを示唆している。

一方, NG-15 ウェーハにおけるシリコン酸化膜上およびシリコンウェーハ上の SEM による形状評価の結果, 長時間の Cu デコレーション処理を行うと, 酸化膜リーク部直下で酸化膜-シリコン間に空洞が形成されることが判明した. NG-15 ウェーハの Cu 析出部の下の断面 SEM 評価結果を図 5-3 に示す. シリコン基板と Cu 析出の間に空洞が形成されているのが観察されている. この結果は, Cu デコレーションにおける Cu 析出と同時にシリコンの溶出が起きていることを示唆している. また, 溶出は {111} 面が現れるように起こり, SEM 評価で確認できた形状は実際の(初期の)ピット形状とは異なる形状を示した. このように, 長時間の Cu デコレーション処理はシリコンの溶出による形状変化を引き起こすことも判明した.

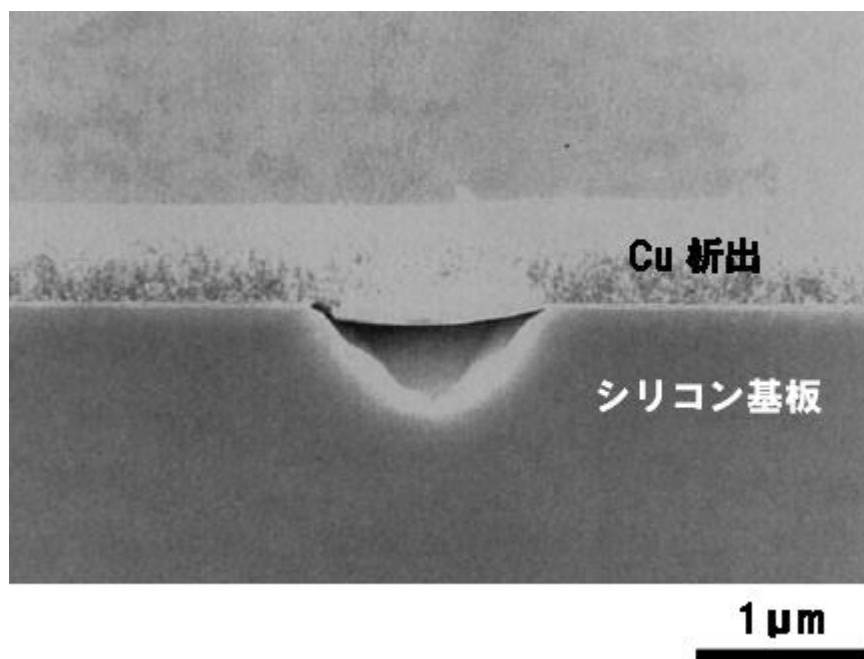


図 5-3 NG-15 ウェーハでの Cu 析出部の断面 SEM 像

### 5.3.2 Cu 汚染／ピット故障の影響と改善

通常の CZ ウェーハと Cu 汚染／ピット故障が発生した CZ ウェーハ上に形成したシリコン酸化膜の経時耐圧劣化 (TDDB) の評価結果を図 5-4 に示す。本評価においては、定電圧による TDDB 評価を行っており、横軸は時間で、縦軸は累積故障率である。図中、丸印が通常の CZ ウェーハ、四角印が Cu 汚染／ピット故障が発生した CZ ウェーハの評価結果である。通常の CZ ウェーハにおける耐圧故障率が 10% 強となっているが、これは COP に起因した故障である。一方、Cu 汚染／ピット故障が発生した CZ ウェーハは通常の CZ ウェーハに比べ、耐圧故障率が大きく増加している。この結果より Cu 汚染により形成された微小ピットが酸化膜の経時耐圧劣化を引き起こしていることが分かる。

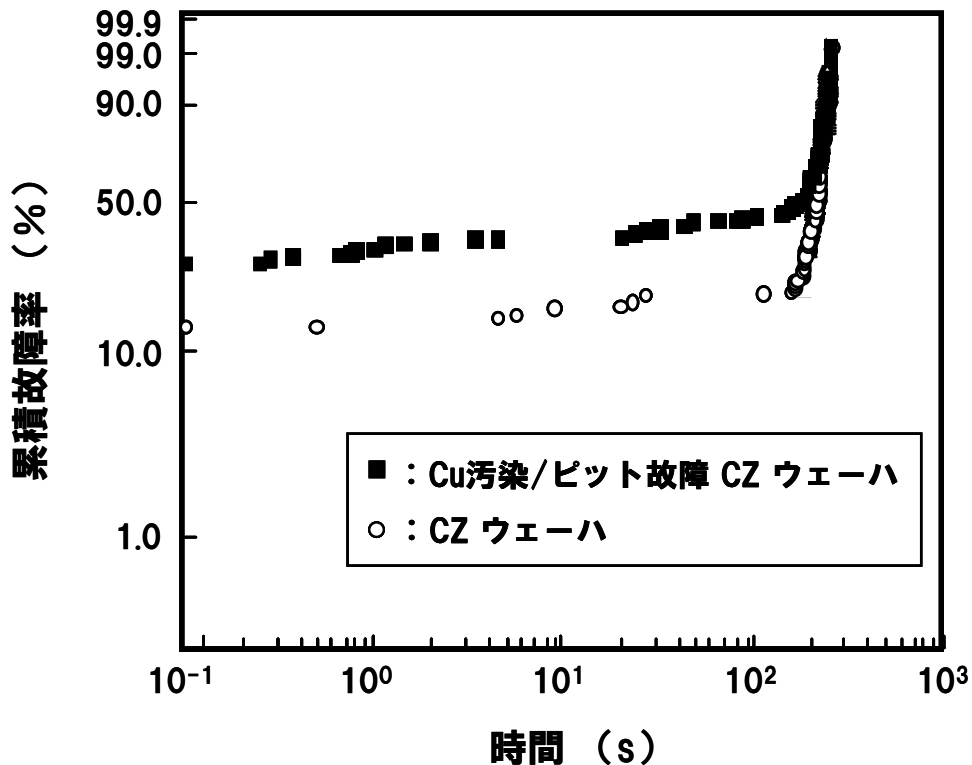


図 5-4 CZ ウェーハと Cu 汚染／ピット故障 CZ ウェーハの TDDB 特性

エピタキシャルウェーハ、通常 CZ ウェーハ、Cu 汚染／ピット故障が発生した CZ ウェーハ、Cu 汚染／ピット故障 CZ ウェーハにエピタキシャル成長および水素アニール処理を行ったウェーハ上に形成したシリコン酸化膜の酸化膜初期耐圧の評価結果

を図5-5に示す。横軸にウェーハの条件を示しており、左から、エピタキシャルウェーハ、通常 CZ ウェーハ、Cu 汚染／ピット故障が発生した CZ ウェーハ、Cu 汚染／ピット故障が発生した CZ ウェーハにエピタキシャル成長させたウェーハ、Cu 汚染／ピット故障が発生した CZ ウェーハに水素アニールを行ったウェーハの順に並べている。また、縦軸はエピタキシャルウェーハの結果を1とした場合の初期耐圧故障率を示している。通常 CZ ウェーハと Cu 汚染／ピット故障が発生した CZ ウェーハは同一の CZ 引き上げインゴットから製造しているが、Cu 汚染／ピット故障により酸化膜初期耐圧特性が大きく劣化している。一方、このような故障が発生したウェーハでも、水素アニールやエピタキシャル成長を行なうと、その酸化膜初期耐圧はエピタキシャルウェーハと同等の良好な酸化膜初期耐圧特性に改善する。このように、水素アニールやエピタキシャル成長には通常 CZ ウェーハの Cu 汚染／ピット故障を改善できる優れた効果がある。なお、Cu 汚染／ピット故障が発生した CZ ウェーハに水素アニールやエピタキシャル成長を施したウェーハが、CZ ウェーハ以上に耐圧故障率が向上しているのは、Cu 汚染／ピット故障に加えて CZ ウェーハが有していた COP までもが除去された効果が現れている。

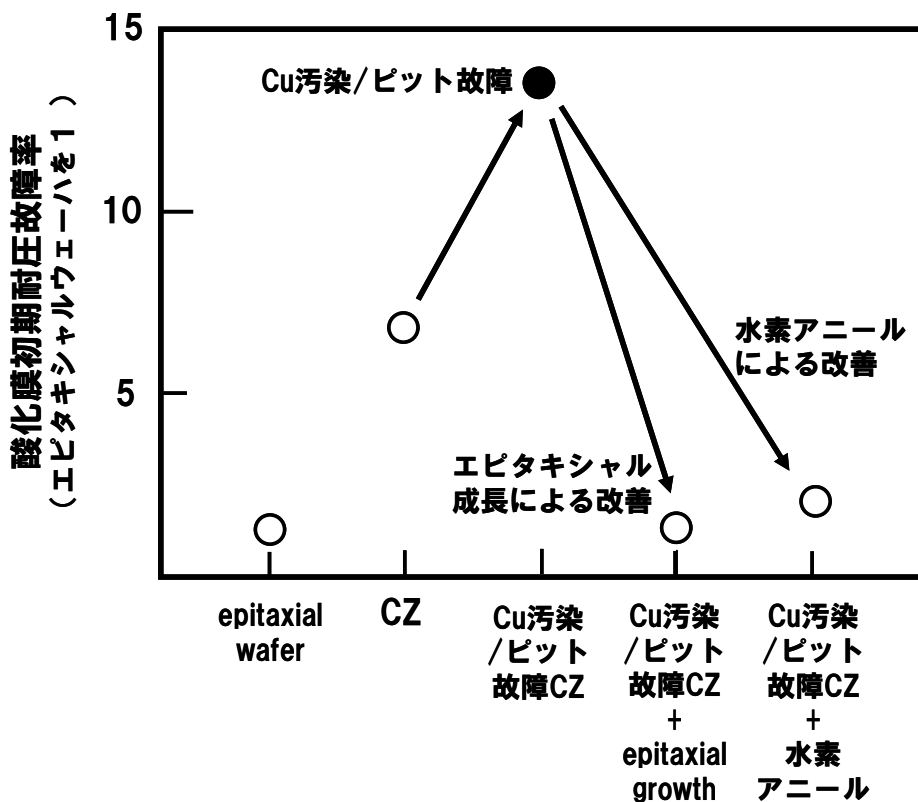


図5-5 エピタキシャル成長によるCu汚染／ピット故障の改善

### 5.3.3 Cu 汚染／ピット故障の改善メカニズム

水素アニールおよびエピタキシャル成長中にシリコン表面をシリコン原子が移動し、原子の再配列が起こることが報告<sup>(6-7)</sup>されており、原子の再配列によりウェーハ表面にステップ／テラス構造が形成される。このようなシリコン原子の移動と再配列により、Cu 汚染／ピット故障が改善できることを確認するため、LOCOS プロセスで形成した段差形状の変化から、シリコン原子の移動量を定量的に評価した。LOCOS プロセス後に窒化膜および酸化膜を除去したシリコン表面上に、0.3 μm から 5 μm のエピタキシャル成長層を形成した時の LOCOS 段差の形状変化を断面 SEM で観察した結果を図 5-6 に示す。

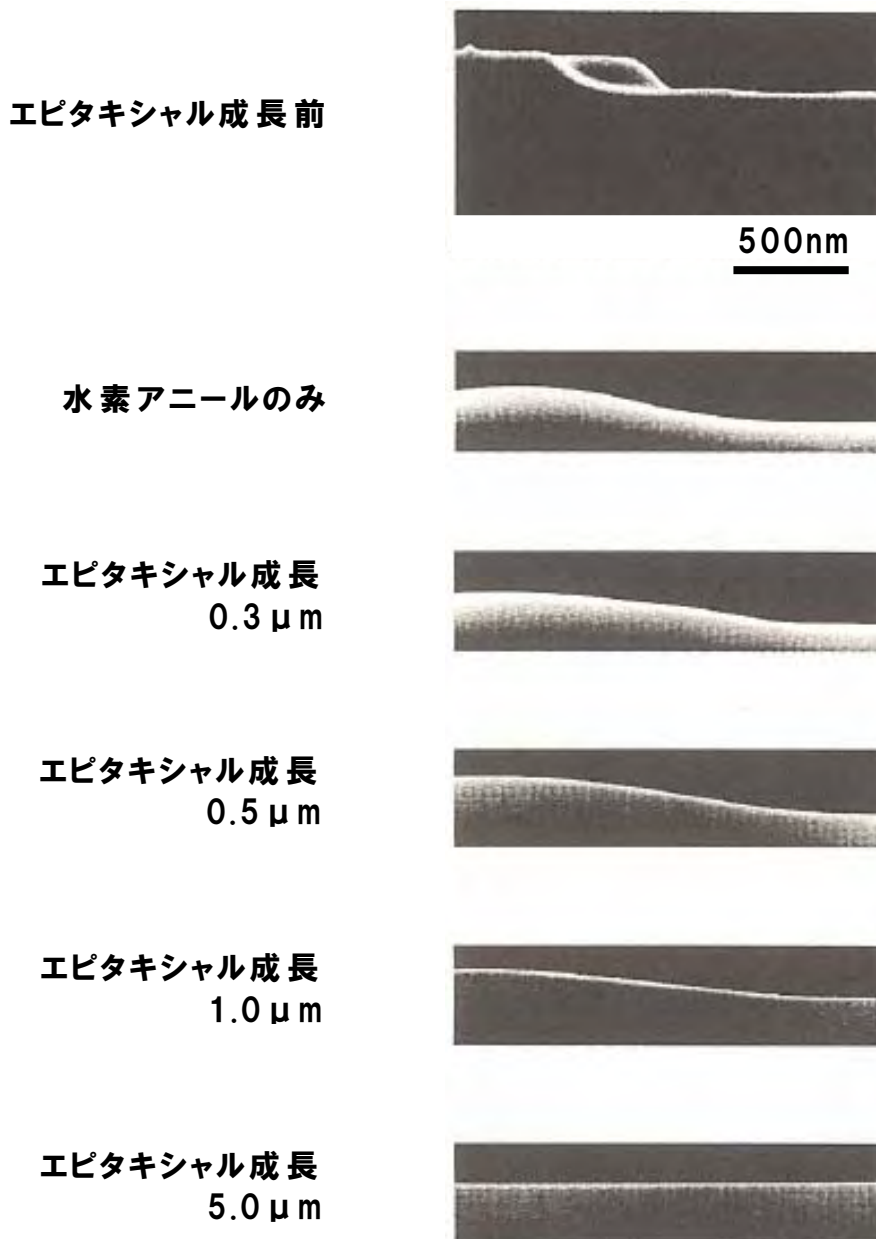


図 5-6 水素アニールおよびエピタキシャル成長による LOCOS 形状の変化

図5-6の結果から、水素アニール処理のみでも大きなパターンダレが生じていることがわかる。このパターンダレはエピタキシャル層の厚さが増すに従って大きくなり、処理前には170nm程度あった段差が5 $\mu$ mのエピタキシャル成長後には消失している。

図5-7はLOCOSのバースビーク長L、図5-8は広いパターンにおける段差hと1 $\mu$ mの繰り返しパターンにおける段差h'のエピタキシャル成長層の厚さ依存性である。水素アニール処理のみ(エピタキシャル層厚0 $\mu$ m)でもバースビークが500nm程度伸びている。その後、エピタキシャル層が厚くなるに従って、さらにバースビークが伸びている。LOCOSパターンの段差に関しては、両側からパターンダレが起こる繰り返しパターンのため、より早く段差が消失している。繰り返しパターンではエピタキシャル成長層の厚さが2 $\mu$ m程度、広いパターンでも5 $\mu$ m程度で段差が消失している。Cu汚染/ピット故障のサイズは10nmから30nm程度であり、LOCOSで形成した段差の1/10程度である。また、1 $\mu$ mの繰り返しパターンの場合でも水素アニール処理のみで50nm以上の段差の低減が見られた。この結果から、Cu汚染により形成されたピットは、1190 $^{\circ}$ C、20秒程度の水素アニールを行うことにより、改善が可能であることがわかる。

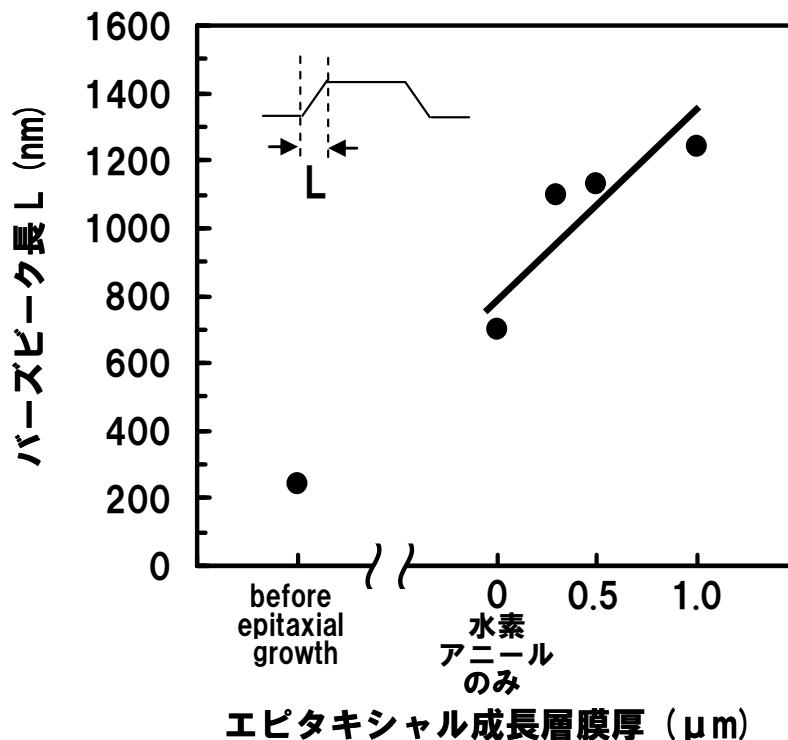


図5-7 バースビーク長とエピタキシャル成長膜厚との関係

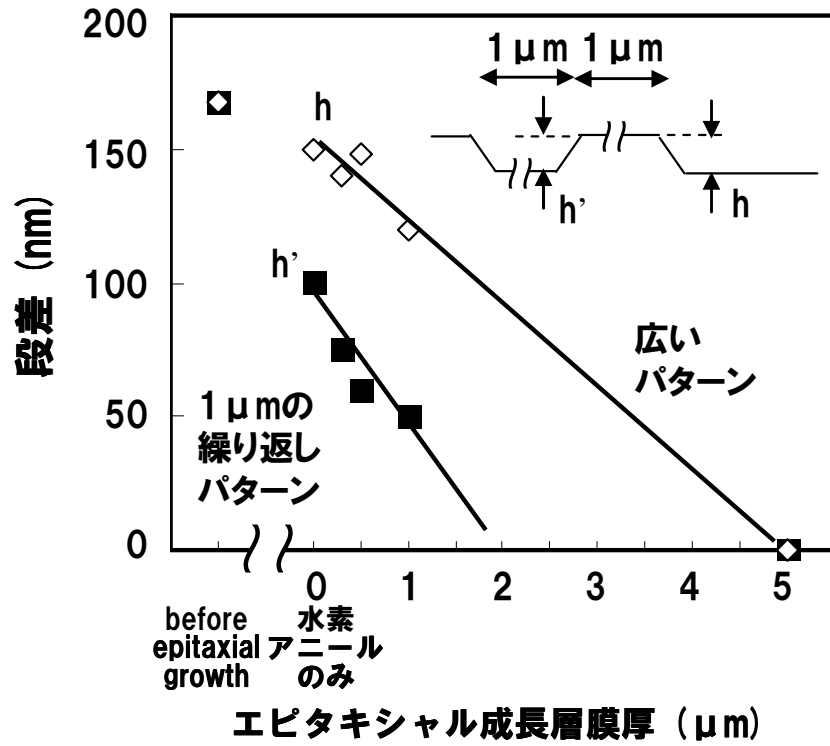


図5-8 段差とエピタキシャル成長層膜厚との関係



水素アニールにおける Cu 汚染 / ピット故障の改善メカニズムを図5-9に模式的に示す。水素アニールにより、シリコン原子の表面マイグレーションが発生し、ピット部にシリコン原子が移動し、再配列によりピットが埋まることで Cu 汚染 / ピット故障の改善が説明可能である。その後のエピタキシャル成長は、Cu 汚染 / ピット故障が消失した状態で進行するため、通常のエピタキシャル成長と同様にエピタキシャル層が形成される。

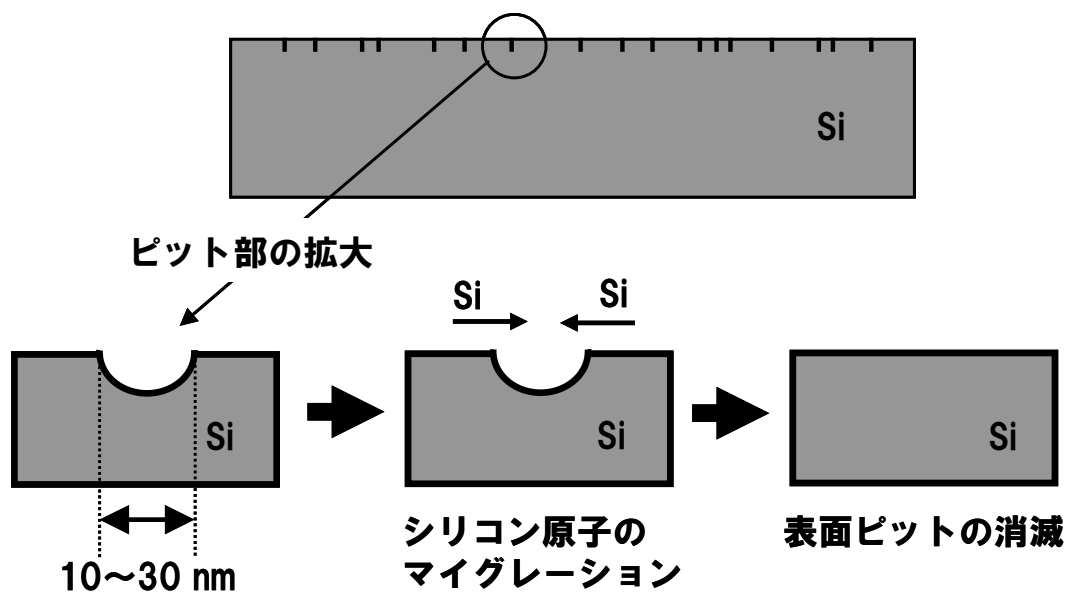


図5-9 水素アニールとエピタキシャル成長による Cu汚染 /ピット故障の改善メカニズム

## 5.4 結論

本研究では、Cu 汚染/ピット故障を評価するために、シリコンウェーハ上に薄いシリコン酸化膜を形成したサンプルに対し、Cu デコレーション法を適用し、耐圧リーク密度調査、および Cu デコレーション法により特定した耐圧リーク箇所の SEM 観察を実施した。その結果、Cu 汚染により形成されるピットは 30nm 程度の大きさの不定形形状であり、発生密度は通常の CZ ウェーハに比べ 100 倍程度増加することが判明した。Cu デコレーション法の有効性を実証できたが、長時間の Cu デコレーション処理はシリコンの溶出による形状変化を引き起こすことも判明した。

Cu 汚染/ピット故障のデバイス特性への影響はゲート酸化膜の耐圧劣化として現れ、この対策として水素アニールおよびエピタキシャル成長が有効であり、デバイス特性を完全に改善できることを実証した。水素アニールおよびエピタキシャル成長による Cu 汚染/ピット故障の改善は、シリコン原子の表面マイグレーションと再配列により、シリコン表面に形成されたピットが完全に埋まることによるものと考えられる。

本研究は汚染による半導体デバイスへの影響を明確にし、かつその対策と効果を実証しており、高歩留まり、高信頼度の半導体製品製造に寄与できると考えられる。

## 参考文献

1. H. Yamamoto, Proc. of the 50<sup>th</sup> Symp. of Semiconductor and Integrated Circuits Technology, p.70 (1996) [in Japanese].
2. J. Ryuta, E. Morita, T. Tanaka, and Y. Shimanuki, Jpn. J. Appl. Phys., **29**, L1947 (1990).
3. H. Morinaga, M. Suyama, M. Nose, S. Verhaverbeke, and T. Ohmi, IEICE Trans. Electron., **E79-C**, 343 (1996).
4. H. Yamamoto, and H. Koyama, Proc. of the 2<sup>nd</sup> Int. Symp. on Advanced Science and Technology of Silicon Materials, p.425 (1996).
5. M. Itsumi, H. Akiya, M. Tomita, T. Ueki, and M. Yamawaki, J. Electrochem. Soc., **144**, 600, (1997).
6. L. Zhong, A. Hojo, Y. Aiba, K. Chaki, J. Yoshikawa, and K. Hayashi, Appl. Phys. Lett., **68**, 1823 (1996).
7. K. Izunome, Y. Saito, and H. Kubota, Jpn. J. Appl. Phys., **31**, L1277 (1992).

## 第6章 結論

本論文は、大規模集積回路(LSI)における故障解析を行う上でいくつかの観点からの故障解析技術、物理解析技術を用いた研究をまとめた。メモリ系デバイスはもちろんであるが、ロジック系デバイスにも内蔵するメモリがあり、これらのメモリ系の大量故障解析に関する有益な手法の開発および実用化についての研究について述べた。また、先端デバイスにおけるひとつの大きな課題となっている、LSI中に発生する局所的な応力によるトランジスタ性能への影響とそのメカニズムに関する研究、さらにはLSIの基板であるシリコンウェーハプロセス上で生ずる課題とその発生メカニズムおよびデバイスへの影響に関する研究について述べた。

### (第2章)

本研究に必要とされる故障診断や物理解析に関する基本的な解析手法について述べた。さらに本研究を行うために重要な解析手法である応力評価技術(CBED: Convergent Beam Electron Diffraction)に関しての詳細な原理、そして高精度解析を行うために用いたエネルギーフィルタ法を用いたCBED解析手法について述べた。

### (第3章)

メモリデバイスの大量解析に有力なFBM解析のツールであるFLEXS(Fault Isolation Expert System)の新機能として、同一サンプルに対して異なったテスト条件下で取得した複数のFBMの認識結果をグループ化し、FBM空間の同一領域に出現する故障分布の組み合わせによるモード分類を行う機能を開発した。その結果、複数のFBMデータから総合的に故障モードを分類することが可能になった。本手法をフラッシュメモリ搭載のテスト構造のデバイスに適用した結果、テストの結果から物理的な解析を行うことなく、故障原因を推定できることが実証できた。

### (第4章)

素子分離に埋め込んだ酸化膜のリセス量がトランジスタ特性に与える影響を調査し、リセス量が多い方が安定したトランジスタ特性を得ることができることが判明した。酸化膜リセス量が少ない条件では、トランジスタのソース-ドレイン間の高い電流リークが発生し、その原因としてチャンネル部での転位(結晶欠陥)発生が関与していることが判明した。転位発生は素子分離端の底部に発生する強い応力に起因するもので、酸化膜リセス量が少ない場合に歪量が大きく増加し強い応力を発生させる。この素

(第5章)

Cu 汚染/ピット故障の評価に対して Cu デコレーション法が有効であり, SEM 観察との組み合わせにより形状評価も可能であることを示し, 本手法を実際の評価に適用した結果, Cu 汚染/ピット故障は大きさ 30nm 程度のピットであることが判明した. Cu 汚染/ピット故障のデバイス特性への影響はゲート酸化膜の耐圧劣化として現れる. この対策として, Cu 汚染/ピット故障は水素アニールおよびエピタキシャル成長の実験を行い, デバイス特性への影響を改善できることを実証した. エピタキシャル成長の前処理である水素アニールおよびエピタキシャル成長中にシリコンのパターンが大きく変化する結果が得られた. 水素アニールおよびエピタキシャル成長による Cu 汚染/ピット故障の改善メカニズムは, シリコン原子の表面マイグレーションと再配列で説明可能であることを示した.

## 謝辞

本論文をまとめるにあたり、終始ご親切なるご指導とご鞭撻を賜った大分大学 工学部 電気電子工学科 益子洋治教授に心より御礼申し上げます。

また、博士後期課程において、ご講義含めたさまざまなご指導を賜り、さらに本論文の作成にあたりご親切なるご指導を頂いた大分大学 中野忠夫名誉教授に厚く御礼申し上げます。さらに本論文の作成にあたり、ご親切なるご指導を頂いた大分大学 工学部 福祉環境工学科 沖野隆久教授、大分大学 工学部 電気電子工学科 鍋島隆准教授、兵庫県立大学大学院 工学研究科 電気系工学専攻 佐藤真一教授に厚く御礼申し上げます。

本研究の遂行にあたり、終始ご親切なるご指導とご鞭撻を賜り、また研究の機会を与えて頂いたルネサスエレクトロニクス株式会社 デバイス・解析技術統括部 統括部長 犬石昌秀博士、ルネサス北伊丹エンジニアリングサービス株式会社 エグゼクティブ 有馬秀明博士（元株式会社ルネサステクノロジ ウェハプロセス技術開発統括部 統括部長）、ルネサスエレクトロニクス株式会社 デバイス・解析技術統括部 ミックスドシグナルデバイス開発部 部長 前川繁登博士、同解析評価技術部 主管技師 小守純子氏、同製品解析技術部 担当部長 真島敏幸氏、株式会社ルネサスエスピードライバー デバイス開発部 部長 山中俊明氏に厚く御礼申し上げます。

本研究の遂行、および論文の作成にあたり、数々のご教示、ご忠告を頂いた千葉工業大学工学部 電気電子情報工学科 山本秀和教授に厚く御礼申し上げます。

本論文における数々のサンプル作製、分析・解析にご協力頂き、さらに論文の作成にあたって有益な討論をして頂いたルネサスエレクトロニクス株式会社 技術企画統括部 内田哲也博士、同デバイス・解析技術統括部 前田一史氏、塚本恵介氏に深く感謝致します。

また、本研究の遂行、ならびに論文の作成にあたってご協力頂きましたルネサスエレクトロニクス株式会社 デバイス・解析技術統括部 小山徹博士、株式会社ルネサスセミコンダクタエンジニアリング 片山俊治博士、ルネサスエレクトロニクス株式会社 デバイス・解析技術統括部 橋川直人博士、太田文人氏、國家三智雄氏、竹内隆氏、工藤修一氏、小川吉文氏、木村泰広氏に心より感謝致します。さらに、本研究の遂行および論文作成にあたってご協力頂きましたルネサスエレクトロニクス株式会社 デバイス・解析技術統括部の各位に心より感謝致します。

最後に、本研究の遂行および論文作成にあたって、暖かく支えてくれた家族に感謝致します。

## 業績目録

### 発表論文(査読付き)

1. H. Okamoto, H. Kida, S. Nonomura, K. Fukumoto, and Y. Hamakawa :  
“Mobility–lifetime product and interface property in amorphous silicon solar  
cells”, J. Appl. Phys. **54**(1983)3236
2. T. Kuroi, Y. Kawasaki, S. Komori, K. Fukumoto, M. Inuishi, K. K. Tsukamoto, H.  
Shinyashiki and T. Shingyoji : “Proximity Gettering of Heavy Metals by  
High–Energy Ion Implantation”, Jpn. J. Appl. Phys. **32**(1993)p.303–307
3. Y. Mashiko, A. Ohsaki, T. Okamoto, K. Fukumoto, and H. Koyama: “Formation  
Mechanisms of the Deformed Oxide Layer in a Tungsten Polycide Structure”,  
Jpn. J. Appl. Phys., **35**(1996)p.584–588
4. Y. Hirose, N. Hashikawa, K. Fukumoto, and Y. Mashiko:”Micro–sampling  
technique for EBSP inspection on the cross sections of copper trench lines  
used in ULSIs”, Journal of Electron Microscopy, 53(5)(2004)p.567–570
5. 山本秀和, 木村泰広, 松川和人, 片山俊治, 福本晃二, 益子洋治: “Cu汚染起  
因ピット故障の評価と水素アニールおよびエピタキシャル成長による改善”, 電  
気化学会誌 **76**, No.9(2008)661
6. K. Fukumoto, S. Kudo, Y. Ogawa, F. Ota, T. Uchida, K. Tsukamoto, T. Takeuchi,  
T. Koyama, J. Komori, H. Yamamoto, and Y. Mashiko: “Evaluation of the Strain  
around an Isolated Shallow Trench and the Impact of Stress on LSI Device  
Performance”, Jpn. J. Appl. Phys., **49**(2010)026502

## 国際学会発表(査読付き)

1. T. Kuroi, S. Komori, K. Fukumoto, Y. Mashiko, K. Tsukamoto, and Y. Akasaka :  
“Proximity Gettering of Micro-defects by High Energy Ion Implantation”,  
Extended Abstracts of the 1991 International Conference on Solid State  
Devices and Materials, Yokohama, (1991)p.56-58
8. K. Kobayashi, K. Fukumoto, T. Katayama, T. Higaki, and H. Abe :  
“Low-Temperature(625 °C)Silicon Epitaxial Growth on Silicon Substrates  
Heated-Up in SiH<sub>4</sub> Atmosphere ” , Extended Abstracts of the 1992  
International Conference on Solid State Devices and Materials, Tsukuba,  
(1992)p.17-19
9. Y. Ohno, T. Horikawa, H. Shinkawata, K. Kashihara, T. Kuroiwa, T. Okudaira, Y.  
Hashizume, K. Fukumoto, T. Eimori, T. Shibano, K. Arimoto, H. Itoh,  
T. Nishimura, and H. Miyoshi: “A Memory Cell Capacitor with Ba<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>(BST)  
Film for Advanced DRAMs”, Symposium on VLSI Technology Digest of  
Technical Papers(1994)p.149-150
10. K. Fukumoto, H. Maeda, Y. Mashiko, M. Sekine, and H. Koyama: “Analysis of  
Localized Small Defect in ULSIs” Mater. Res. Soc. Symp. Proc. **405**,  
(1996)p.447-451
11. N. Hashikawa, K. Fukumoto, T. Kuroi, M. Ikeno, and Y. Mashiko: “Direct  
observation of Local Strain Field for ULSI Devices ” , Microelectronics  
Reliability **38**, (1998)p.913-917
12. H. Maeda, Y. Imai, T. Koyama, M.K. Mazumder, K. Fukumoto, Y. Mashiko :  
“ Nanoscale fault isolation technique by conducting atomic force  
microscopy ” , Proc. of International Symposium on Semiconductor  
Manufacturing, (2001)p.251-254



7. Y. Hirose, K. Maekawa, M. Fujisawa, K. Fukumoto, and Y. Mashiko: “Crystal Structure Characterization of Advanced Metal Interconnects Using Electron Backscatter Diffraction Pattern(EBSP) ” , Proceedings of IEEE The International Meeting for Future of Electron Devices Kansai, (2003) P.91–92
8. Y. Hirose, K. Honda, K. Maekawa, H. Miyazaki, K. Fukumoto, and Y. Mashiko: “Characterization of the Electroplated Copper Films on Copper–alloy Seed Layer”, Proceedings of IEEE The International Meeting for Future of Electron Devices Kansai, (2005)p.113–114
9. S. Kudo, Y. Hirose, K. Fukumoto, S. Maegawa, J. Shimanuki, Y. Inoue : “Three–Dimensional Fine Structure Observation of Advanced ULSI Devices Using Electron Tomography”, Proceedings of IEEE The International Meeting for Future of Electron Devices Kansai, (2006)p.49–50
10. H Maeda, F. Ohta, M. Kuniya, K. Fukumoto : “Failure Analysis System to Classify Failure Modes Using Combinations of FBMs”, Proceedings of IEEE The International Meeting for Future of Electron Devices Kansai, (2007) p.37–38

## その他発表論文

1. 福本晃二, 橋川直人, 村田直文, 池野昌彦, 益子洋治:”過型電子顕微鏡による半導体デバイスの評価技術”, 三菱電機技報 73(2), (1999)p.18-23
2. 福本晃二:”故障解析技術と装置”, 半導体テクノロジー大全 (2000, 2002, 2004, 2007, 2009)
3. 廣瀬幸範, 福本晃二, 益子洋治:”0.1  $\mu$ m世代をにらんだ半導体デバイスの評価技術”, 三菱電機技報 76(3), (2002)p.57-60
4. 廣瀬幸範, 福本晃二:”TEMによる評価・解析技術”, 表面技術, 54(1), (2003)p.21-25
5. 廣瀬幸範, 森本昇, 高田祐二, 福本晃二, 益子洋治:”EBSP/OIM法を用いたULSI配線の結晶解析技術”, 日本金属学会会誌まてりあ, 43(1), (2004)p.43-48

## その他講演

1. 川崎洋司, 高橋武人, 小林清輝, 神原恭子, 福本晃二, 桧垣孝志: “ポリシリコンからのAs拡散”, 電子情報通信学会技術研究報告Vol.91 No.303, (1991)p.43-48
2. 福本晃二, 小山徹, 池野昌彦, 小山浩: “OBICを用いた配線金属の欠陥評価”, 応用物理学会結晶工学科会(第2回結晶工学セミナー)(1996)p.45-53
3. 橋川直人, 福本晃二, 村田直文, 池野昌彦, 益子洋治: “CBED法を用いた半導体デバイスの応力評価”, LSIテストングシンポジウム会議録(1998)p.150-153
4. N. Hashikawa, Y. Hirose, K. Fukumoto, and Y. Mashiko: “The in-depth profile measurement of strain distribution for ULSI devices”, 29<sup>th</sup> IUVSTA Workshop 2<sup>nd</sup> International Workshop on Development of Thin Films for Future ULSIs and Nano-Scale Process Integration, (2000)p.127-130
5. 太田文人, 向川泰和, 福本晃二, 益子洋治: “歩留まりに影響する致命故障を抽出する故障解析システム”, LSIテストングシンポジウム会議録(2000)p.5-10
6. 太田文人, 向川泰和, 福本晃二, 益子洋治: “歩留まりに影響する致命故障を抽出する故障解析システム”, 電子情報通信学会技術研究報告Vol.100 No.445, (2000)p.13-18
7. 古田正昭, 橋川直人, 廣瀬幸範, 福本晃二, 益子洋治: “短TAT化を実現するTEM試料作製技術”, 電子情報通信学会技術研究報告Vol.100 No.517, (2000)p.7-13
8. 廣瀬幸範, 橋川直人, 福本晃二, 益子洋治: “FIB/SEM/TEMによるULSIの故障解析技術”, 日本電子顕微鏡関西支部 電子顕微鏡技術研究会(非生物系) (2000)p.83-90

9. 前田一史, 今井ゆかり, 小山徹, 福本晃二, 益子洋治: “コンダクティブAFMによる微小領域の故障診断”, LSIテストングシンポジウム会議録 (2001)p.109-113
10. 前田一史, 今井ゆかり, 小山徹, 福本晃二, 益子洋治: “コンダクティブAFMによる微小領域の故障診断技術”, 電子情報通信学会技術研究報告Vol.101 No.517, (2001)p.9-14
11. 前田一史, 古田正昭, 廣瀬幸範, 橋川直人, 福本晃二, 益子洋治: “LSI裏面からのTEM試料抽出による故障解析技術”, 電子情報通信学会技術研究報告Vol.101 No.517, (2001)p.23-28
12. 廣瀬幸範, 古田正昭, 橋川直人, 福本晃二, 益子洋治: “半導体デバイス裏面からのTEM試料抽出による故障解析技術”, 日本電子顕微鏡学会分析電子顕微鏡討論会第17回予稿集, (2001)p.86
13. 廣瀬幸範, 古田正昭, 橋川直人, 福本晃二, 益子洋治: “LSI裏面からのTEM試料抽出による故障解析技術”, LSIテストングシンポジウム会議録 (2001)p.209-213
14. 古田正昭, 橋川直人, 廣瀬幸範, 福本晃二: “半導体デバイス裏面からのTEM試料抽出による断面TEM解析技術”, 第62回応用物理学会学術講演会予稿集, (2001)p.609
15. 古田正昭, 橋川直人, 廣瀬幸範, 福本晃二, 益子洋治: “TEM試料作製方法によるTEM/EDX定量分析精度の向上”, 第48回応用物理学関係連合講演会講演予稿集, (2001)p.802
16. 古田正昭, 橋川直人, 廣瀬幸範, 福本晃二, 益子洋治: “TEMによる結晶欠陥起因電流リーク故障解析技術”, 日本顕微鏡学会 デバイス解析分科会 第22回電子顕微鏡解析技術フォーラム講演予稿集, No.7(2002)

17. 廣瀬幸範, 前川和義, 藤澤雅彦, 福本晃二, 益子洋治: “EBSPによる先端金属配線の結晶性評価技術”, LSIテストングシンポジウム会議録 (2002)p.251-256
18. 古田正昭, 橋川直人, 廣瀬幸範, 福本晃二, 益子洋治: “TEMによる結晶欠陥起因電流リーク故障解析技術”, LSIテストングシンポジウム会議録 (2002)p.257-262
19. 本田和仁, 菅田安洋, 神原恭子, 今井ゆかり, 福本晃二, 益子洋治: “新 Backside SIMS技術”, LSIテストングシンポジウム会議録 (2003)p.117-121
20. 廣瀬幸範, 藤澤雅彦, 福本晃二, 益子洋治: “EBSP による先端金属配線の結晶性評価技術”, 信学技報(電子情報通信学会)(2003)p.S65-S66
21. 工藤修一, 高田裕二, 森本 昇, 廣瀬幸範, 福本晃二, 益子洋治: “EBSPを用いためっきCu薄膜のプロセス評価”, LSIテストングシンポジウム会議録 (2003)p.101-106
22. 廣瀬幸範, 福本晃二, 益子洋治: “EBSPを用いたULSI配線の結晶解析技術”, 日本電子顕微鏡学会第59回学術講演会発表要旨集(2003)p.36
23. 廣瀬幸範, 高田裕二, 宮崎博史, 山本茂久, 福本晃二, 益子洋治: “EBSP法によるCu配線非バンブ構造の定量化と配線信頼性”, LSIテストングシンポジウム会議録(2004)p.383-388
24. 今井ゆかり, 片山俊治, 福本晃二, 水野貴之, 高橋美帆, 矢野史子, 前川繁登: “ナノプローバを用いた裏面からの故障解析”, LSIテストングシンポジウム会議録(2005)p.345-348
25. 本田和仁, 廣瀬幸範, 前川和義, 宮崎博史, 福本晃二, 前川繁登, 上殿明良: “合金シードを用いためっきCu膜の物性評価とその信頼性”, LSIテストングシンポジウム会議録(2005)p.133-137

26. 工藤修一, 小川吉文, 廣瀬幸範, 福本晃二, 益子洋治: “収束電子線回折法によるSi格子歪測定とデバイス電気特性評価”, 日本電子顕微鏡学会第61回学術講演会発表要旨集(2005)
27. 廣瀬幸範, 本田和仁, 前川和義, 宮崎博史, 福本晃二, 益子洋治: “合金シード上に形成しためっきCu薄膜の物性評価と配線信頼性”, 日本電子顕微鏡学会第61回学術講演会発表要旨集(2005)
28. 本田和仁, 廣瀬幸範, 庄野友陵, 村中誠志, 前川和義, 宮崎博史, 福本晃二, 前川繁登, 上殿明良: “めっきCu膜中の原子空孔および微量不純物の挙動評価”, LSIテストングシンポジウム会議録(2006)p.85-89
29. 前田一史, 太田文人, 國家三智雄, 福本晃二: “複数FBMを組み合わせた故障モード分類を行う故障解析システム”, LSIテストングシンポジウム会議録(2006)p.217-222
30. 工藤修一, 廣瀬幸範, 福本晃二, 前川繁登, 島貫純一, 井上靖秀  
“電子線トモグラフィを用いた先端デバイスの三次元形状評価技術”  
LSI テストングシンポジウム会議録(2006)p.81-84
31. 前田一史, 太田文人, 國家美智雄, 福本晃二: “複FBMを組み合わせた故障モード分類を行う故障解析システム”, 電子情報通信学会技術研究報告  
Vol.106, No.467,468(2006) p.91-96
32. S. Kudo, Y. Hirose, K. Fukumoto, S. Maegawa, J. Shimanuki, and Y. Inoue:  
“Three-dimensional fine structure observation of advanced ULSI devices using electron tomography”, Proceedings of IMC16, (2006)p.1440
33. Y. Hirose, K. Honda, T. Shono, H. Miyazaki, K. Fukumoto, S. Maegawa: “Fine crystal grain mapping of electroplated Cu film using electron backscatter diffraction pattern technique”, Proceedings of IMC16, (2006)p.1409

34. 工藤修一，廣瀬幸範，鈴木直仁，宮崎博史，福本晃二，朝山匡一郎，小守純子：“電子線トモグラフィおよびEBSDを用いたCu配線信頼性故障箇所の解析技術”，LSIテストングシンポジウム会議録(2007) p.79-84
35. 小川吉文，片山俊治，上野修一，福本晃二，小守純子：“三次元アトムプローブによる磁性薄膜の評価”，LSIテストングシンポジウム会議録，(2007)p.103-108
36. 鶴峰博之，古川晃義，野見山大輔，福本晃二，一丸修，益子洋治：“集束イオンビームを用いた半導体特性評価技術に関する研究”，LSIテストングシンポジウム会議録，(2009)p.325-330