

# 多重線形補間を用いたダイレクトデジタル周波数シンセサイザ

肥川 宏臣

知能情報システム工学科

## Direct digital frequency synthesizer with multi-stage linear interpolation

Hiroomi HIKAWA

Dept. of Computer Science and Intelligent Systems

### 1 まえがき

周波数シンセサイザは、現代の通信分野で非常に大きな役割を担っている。特に、PLLによる周波数シンセサイザに比べ、細かい周波数ステップと高速周波数の切り換えが可能なダイレクトデジタル周波数シンセサイザ (Direct Digital Frequency Synthesizer: DDS) [1] が注目を集めている。ほとんどの DDS は、正弦波の生成を行う位相振幅変換回路 (phase-to-amplitude converter: PAC) に読出し専用メモリ (Read Only Memory: ROM) を用いている。ROMのサイズを大きくすることで、周波数解像度、スプリアス特性の改善を行うことができる。しかし、ROMのサイズを大きくすると動作速度の低下、消費電力の増加につながってしまう [2]。特に、大きな消費電力が DDS の携帯通信機器への応用を妨げている。そのため、ROMのサイズを圧縮するためのさまざまな手法が提案されている。そういった手法の一つに線形補間による ROM サイズの縮小方法がある [3]。この方法では、正弦波をいくつかのセグメントに分割し、各セグメントを線形関数による近似を行う。各セグメントごとの線形関数のパラメータを ROM に格納する。しかし、実際の正弦波との差を小さくするためには、セグメントの大きさを小さくする必要があるが、これはセグメント数の増加、つまり、ROM サイズの増加につながってしまう。

本論文では、多重線形補間による正弦波生成手法を提案する。本論文で提案する多重線形補間では、必要な ROM サイズの増加を最小限に押さえつつ、近似度を上げることができる。ROM サイズの増加を押さえる代わりに、補間を行うための演算回路が増加してしまうという欠点がある。演算回路の増加による速度低下を押さえるために、パイプラインによる演算を導入する。

### 2 ダイレクト周波数シンセサイザ (DDS)

DDS のブロック図を図 1 に示す。DDS は、位相アキュムレータ、位相振幅変換回路 (phase-to-amplitude converter: PAC)、デジタルアナログコンバータ (digital-to-analog converter: DAC) により構成される。位相アキュムレータは、加算器、レジスタで構成される。クロック信号によるサンプルごとに、レジスタの値は  $K$  ずつ増加される。位相アキュムレータの出力周期はレジスタの内容が  $2^M$  ( $M$  はレジスタのビット数) を超える周期と一致する。DDS の出力周波数は次式で与えられる。

$$f_{DDS} = \frac{K}{2^M} f_{clock} \quad (1)$$

そして、アキュムレータの  $M$  ビットのうち上位  $N$  ビットが PAC に送られ、 $L$  ビットの正弦波の振幅データに変換され、さらに DAC によりアナログ信号に変換される。従来の DDS では、PAC として、正弦波の振幅情報を格納した読出し専用メモリ (ROM) を用いる方法が使われてきた。

2-A-3-

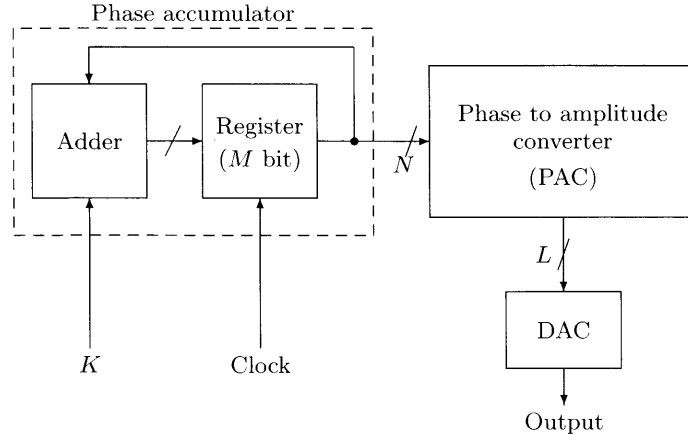


図 1: ダイレクト周波数シンセサイザ

### 3 多重線形補間による位相振幅変換器

本論文では、従来の線形近似を繰り返し行う多重線形補間に拡張することで、近似度の悪化を抑えながら、メモリの容量を減少させる手法を提案する。

提案する PAC のブロック図を図 2 に示す。PAC は小容量のルックアップテーブル (look-up-table: LUT), 1 の補数回路, 加算回路, 減算回路, 乗算回路等により構成される。また, パイプライン処理を行うためのレジスタを用いる。

$P$  は, PCA への入力値で,  $M$  ビットの位相アキュムレータの上位  $N$  ビットである。  $P$  は  $P_0, P_1, P_2, P_3$  など, いくつかの部分に分割され, 対応する補間に使用される。図 3 に  $P$  のフォーマットを示す。ただし, LUT の内容が 4 個しかない (アドレス数は 2 ビット) と仮定している。提案する PAC は正弦波の  $0 \sim \pi, 0 \sim \pi/2$  における対称性を利用している。上位 2 ビット,  $a_{N-1}, a_{N-2}$  は位相, 振幅データを反転するかどうかの決定に使用される。

$P_0$  は LUT にアドレスとして与えられ, 正弦波の基準振幅データと補間のための係数の読出しに用いられる。ステージ数が三の場合の LUT のデータフォーマットを図 4 に示す。  $Y_B(P_0)$  は補間の基準となる振幅データ,  $D_1(P_0), D_2(P_0), D_3^A(P_0), D_3^B(P_0)$  は, それぞれの補間ステージで使用される係数である。まず, 補間を行う前に, 基準位相  $Y_B$  が LUT から読み出される。

$$Y_0(P) = Y_B(P_0) \quad (2)$$

係数  $D_1(P_0)$  と位相データ  $P_1$  を用いて, 図 5(A) に示すように第一ステージの補間が行われる。この補間では次の計算が行われる。

$$Y_1(P) = Y_0(P) - D_1(P_0) \cdot P_1/2^{N-4} \quad (3)$$

第二ステージの補間は図 5(B) に示されるように, 第一ステージの補間結果に対して行われる。第二ステージの補間の前に, 位相情報  $P_2$  は,  $\hat{P}_2$  に変換される。もし,  $a_{N-5} = 1$  の場合,  $P_2$  を反転した値が  $\hat{P}_2$  となる。

$$\hat{P}_2 = \begin{cases} P_2, & \text{if } a_{N-5} = 0 \\ \overline{P_2} & \text{otherwise} \end{cases} \quad (4)$$

そして, 次の計算により正弦波の振幅値を求める。

$$Y_2(P) = Y_1(P) + D_2(P_0) \cdot \hat{P}_2/2^{N-5} \quad (5)$$

第三ステージの補間用の係数として,  $D_3^A$  と  $D_3^B$  が LUT に格納されている, そして, 次式に従い 2 つの係数のうちの 1 つが選ばれて補間に使用される。

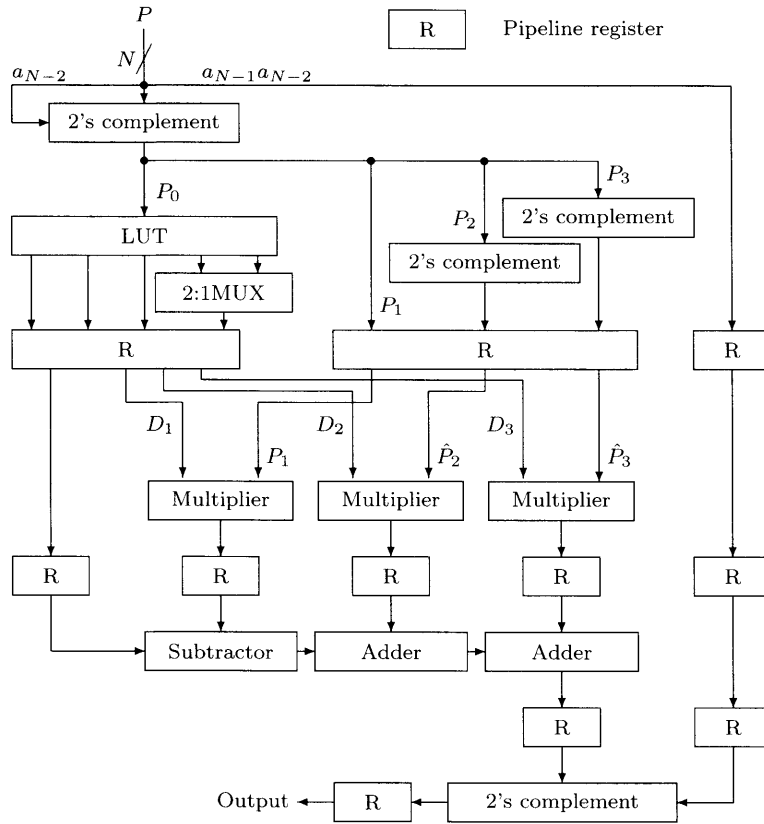


図 2: 多重補間による位相-振幅変換回路

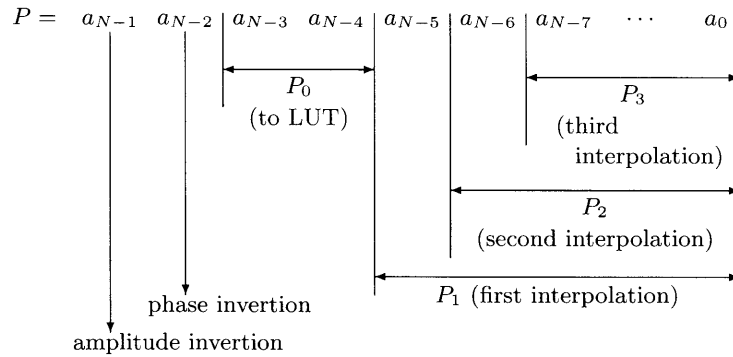


図 3: PAC への位相情報  $P$

$$D_3(P_0) = \begin{cases} D_3^A(P_0), & \text{if } a_{N-5} = 0 \\ D_3^B(P_0) & \text{otherwise} \end{cases} \quad (6)$$

そして、位相反転 ( $P_3 \rightarrow \hat{P}_3$ ) と線形補間が行われる。第三ステージの補間の様子を図 5(C) に示す。

$$\hat{P}_3 = \begin{cases} P_3, & \text{if } a_{N-6} = 0 \\ \bar{P}_3 & \text{otherwise} \end{cases} \quad (7)$$

第三ステージの補間は次式により行われる。

$$\begin{aligned} Y_3(P) &= Y_2(P) + D_3(P_0) \cdot \hat{P}_3 / 2^{N-6} \\ &= Y_B(P_0) - D_1(P_0) \cdot P_1 / 2^{N-4} + D_2(P_0) \cdot \hat{P}_2 / 2^{N-5} + D_3(P_0) \cdot \hat{P}_3 / 2^{N-6} \end{aligned} \quad (8)$$

$Y_B$	$D_1$	$D_2$	$D_3^A$	$D_3^B$
$L_B$ bit	$L_1$ bit	$L_2$ bit	$L_3$ bit	$L_3$ bit

図 4: LUT のデータフォーマット

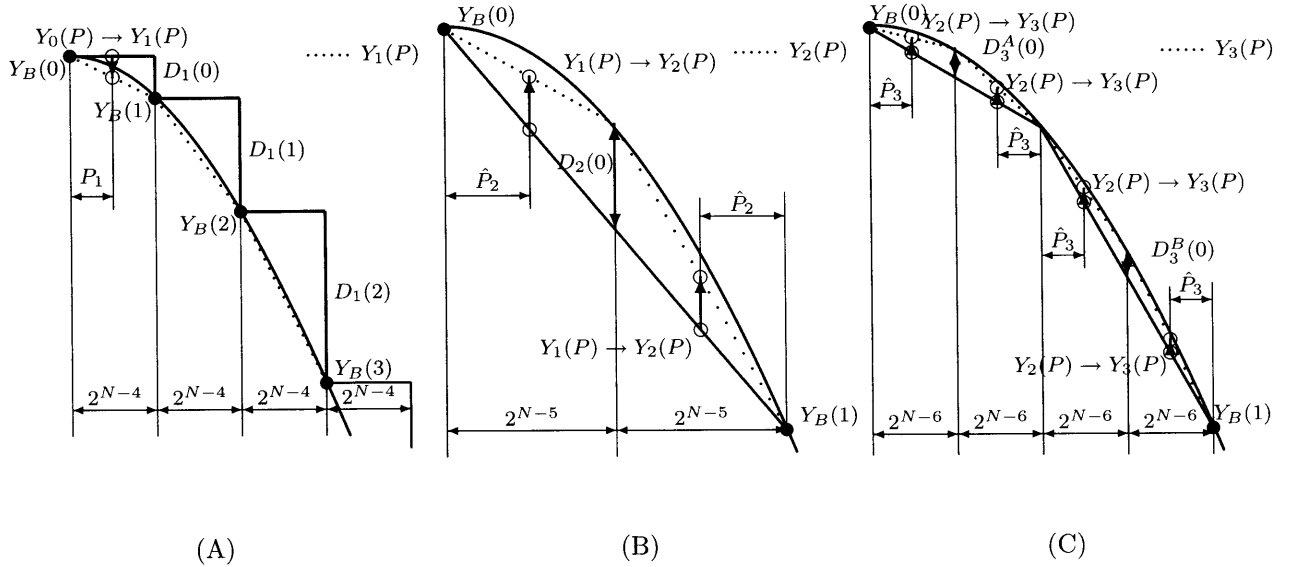


図 5: 補間の様子 (A) 第一ステージの補間, 第二ステージの補間, 第三ステージの補間

表 1: LUT の内容

adrs	$Y_B$	$D_1$	$D_2$	$D_3^A$	$D_3^B$
0	1111111110	00100111	1010	10	11
1	1111010111	01101111	1001	10	10
2	1101101000	10100101	0110	10	01
3	1011000011	11000011	0010	01	00

式 (9) において,  $D_1(P_0) \cdot P_1/2^{N-4}$ ,  $D_2(P_0) \cdot \hat{P}_2/2^{N-5}$ ,  $D_3(P_0) \cdot \hat{P}_3/2^{N-6}$  は, お互い関連がない. これは, 提案する PAC はハードウェア化において並列処理による高速化が可能であることを示している.

図 2 の補数回路は, 式 (4), 式 (7) で示される位相反転, 振幅反転の処理を行う. マルチプレクサは式 (6) で示される第三ステージにおける  $D_3^A$ ,  $D_3^B$  の選択を行う. 3 個の乗算回路は, 式 (9) の補間の補正值計算に用いられる. これらの乗算をそれぞれ並列に行うことで速度低下を防いでいる. 減算回路と加算回路により最終的な補間値  $Y_3(P)$  が得られる. 提案する PAC は正弦波の  $0 \sim \pi$ ,  $0 \sim \pi/2$  における対称性を利用している.  $P$  の上位 2 ビット  $a_{N-1}, a_{N-2}$  の値により, 必要なら振幅データの反転を行い, 最終的な出力値とする.

上で述べた並列計算に加え, 4 ステージのパイプライン処理を採用することで, 速度の向上を図っている.

## 4 実装と実験

提案手法の正当性を示すため, さまざまな実験と測定を行った.

まず, C プログラムにより PAC のシミュレーションを行った. 図 6 にシミュレーションにより得られた PAC の出力と実際の正弦波を示す. 差異が目視できるように図 6(B)~(D) では,  $0 \sim \pi/4$  の間の波形を示している. 補間のステージ数が増えるにつれ, 近似度が良くなっているのがわかる. 次に, PAC を VHDL により記述し, VHDL による機能シミュレーションを行った. 図 7 に, そのシミュレーション結果を示す. PAC による近似値と基準と

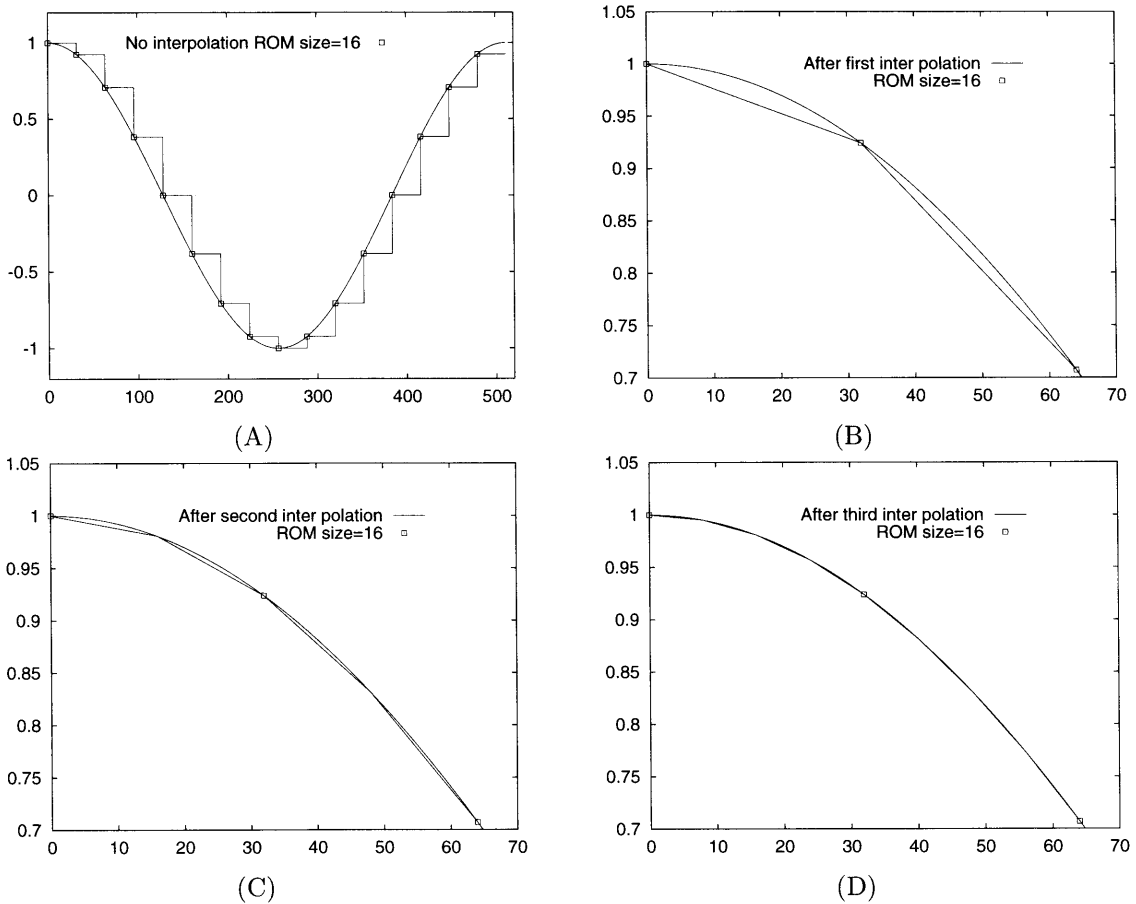


図 6: 多重線形補間による関数生成, (A) 補間なし ( $0 \sim 2\pi$ ), (B) 第一ステージの補間結果補間 ( $0 \sim \pi/4$ ), (C) 第二ステージの補間結果 ( $0 \sim \pi/4$ ), (D) 第三ステージの補間結果 ( $0 \sim \pi/4$ )

なる正弦波の誤差を示す。生成される正弦波の振幅が 1024 なのに対して誤差は 2 以下に収まっているのがわかる。

提案する PAC と DDS を VHDL で記述し, Altera 社の FPGA (EPF10K100) を用いて実装を行い, 実際に出力される正弦波信号に対してスペクトラムアナライザによる測定を行った。設計に用いたパラメータを以下に示す。

- 位相アキュムレータのビット数は 24 ビット ( $= M$ )。
- PAC への入力データのビット数は 10 ビット ( $= N$ )。
- PAC の出力データのビット数は 10 ビット ( $= L$ )。
- クロック周波数は, 16.777216MHz ( $= 2^{24} = f_{Clock}$ )
- PAC の LUT の, 容量は 4 で, その内容を表 1 に示す。

DDS を FPGA 上に実装し, 実際の実出力スペクトルを測定した。図 8, 図 9 に測定結果を示す。また, 比較のために従来の ROM による PAC を用いた DDS の出力スペクトルを図 10 に示す。

表 2: 提案する DDS の回路規模

DDFS Type	Max. clock frequency	Equivalent gate count
Three stage interpolation DDFS	89.734 MHz	3,362
Quadrant DDFS	83.647 MHz	2,192

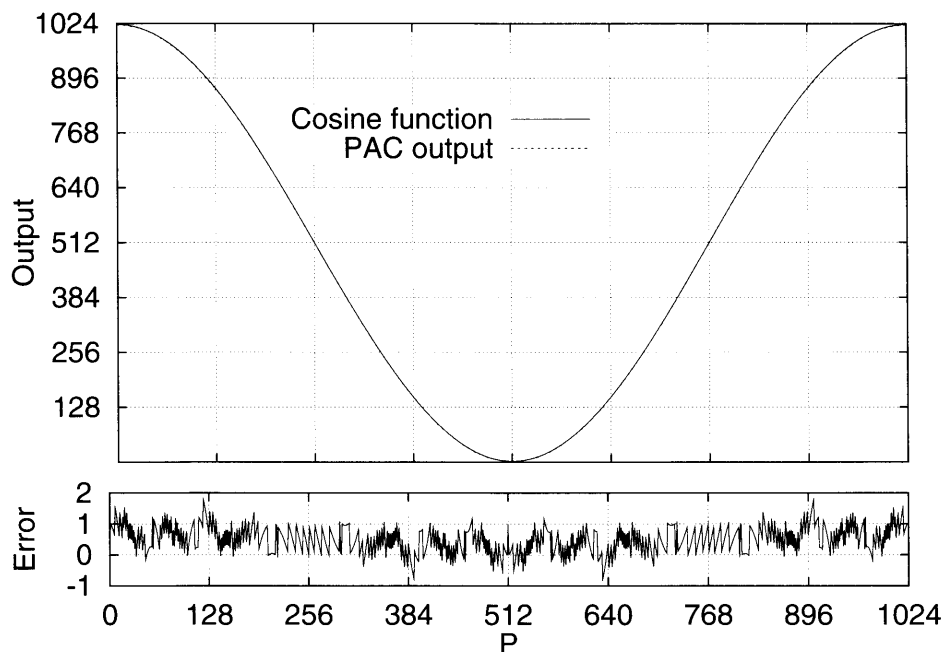


図 7: 提案する PAC の VHDL シミュレーション結果.

図 8(A) は、補間を行わない DDS の出力スペクトルである。この場合、PAC はたったの 16 サンプルしか持たないため、非常に大きなスプリアスが発生している。図 8(B) は、第一ステージの補間のみを行った場合の DDS の出力スペクトルである。不要スプリアスが低減され、スプリアス特性が大きく改善されているのがわかるが、まだ比較的大きなスプリアスがいくつか残っている。これらのスプリアスは、第二ステージ、第三ステージの補間を行うことで、徐々に小さくすることができる。図 8(D) に示すように三回の補間を行った後では、これらのスプリアスは  $-60\text{dB}$  以下となり無視できる程度に小さくなっている。図 9 は、図 8 と同じスペクトルであるが、周波数の表示範囲を広くしている。補間を行わない図 9(A) では、近接スプリアスと好調波成分、折り返し信号による強力なスプリアスが発生している。しかし、図 9(A) を見ると、3 ステージの補間により劇的に改善されている。16 MHz 付近の折り返し信号以外の不要スペクトルが激減していることがわかる。この折り返し信号は、通常の DDS でも生じる信号で、適当な LPF を用いることで、除去することができる。また、3 回の補間を行った結果である図 8(D)、図 9(B) と図 10 の結果と比べても同等の結果が得られていることがわかる。

提案する DDS と従来の ROM を用いた DDS の回路規模と動作速度を表 2 に示す。回路規模は提案主回路のほうが大きくなっているが、動作速度が改善されていることがわかる。これは、FPGA による評価結果であるが、専用 LSI として実装した場合、メモリの縮小効果は、より大きくなると期待される。

## 5 まとめ

本論文では、正弦波の近似を行う多重線形補間による位相振幅変換回路 (PAC) を用いたダイレクトデジタル周波数シンセサイザ (DDS) の提案を行った。

一般に、DDS の PAC は、ROM をベースとして実装される。しかし、容量の大きい ROM は消費電力の増加と動作速度の低下をもたらしてしまう。提案する PAC では、多重線形補間により正弦波の近似が行われるが、LUT のサンプル数を増やさずに近似度を上げるという特徴を持つ。したがって、非常に小規模の ROM により LUT を実装できる。

提案するシステムの正当性を確かめるために VHDL によるシミュレーションを行い、提案する PAC は正弦波の

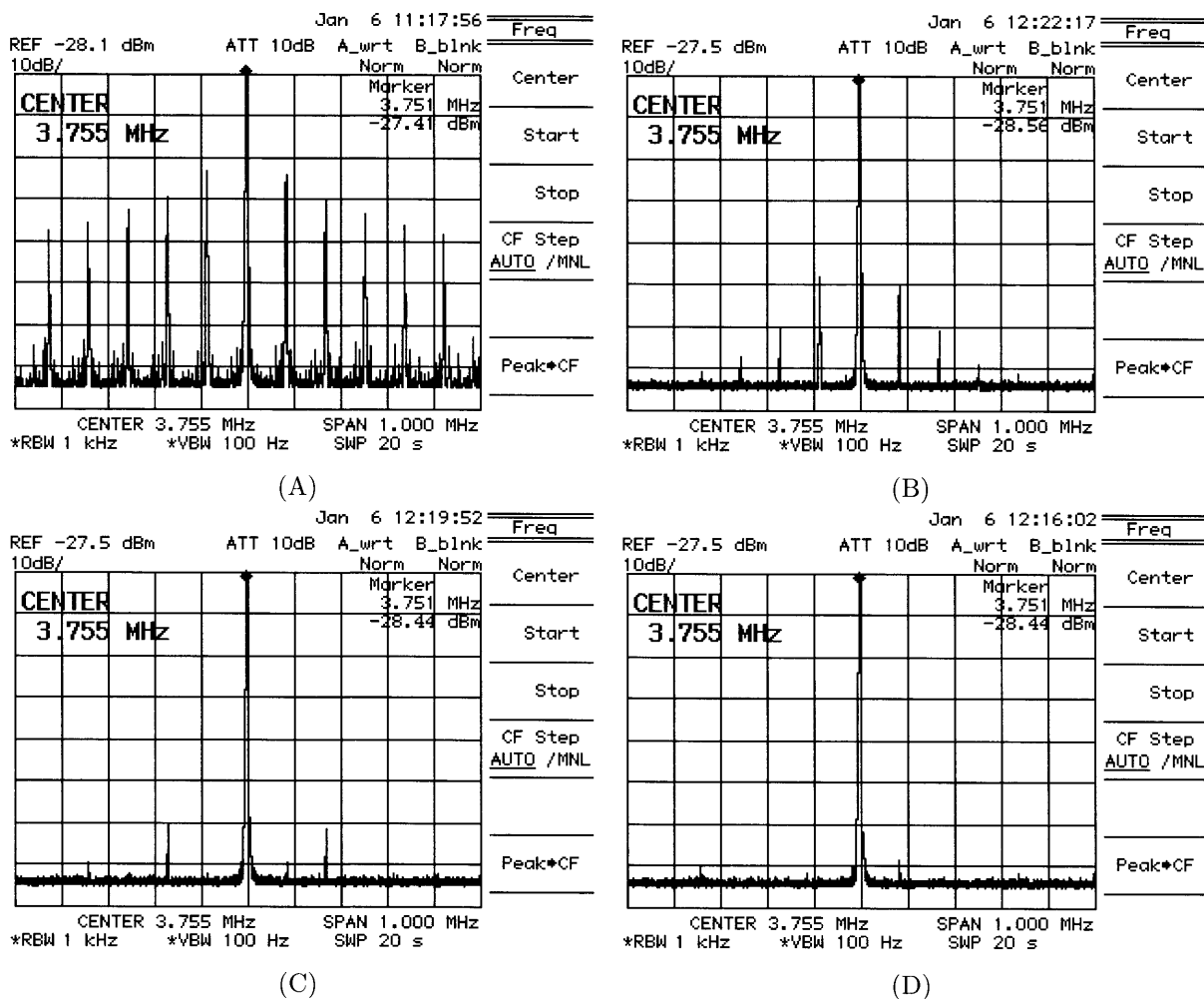


図 8: 提案する DDS の出力スペクトル, ( $K = 3150097$ ), (A) 補間なし, (B) ステージ数 1 の補間, (C) ステージ数 2 の補間, (D) ステージ数 3 の補間

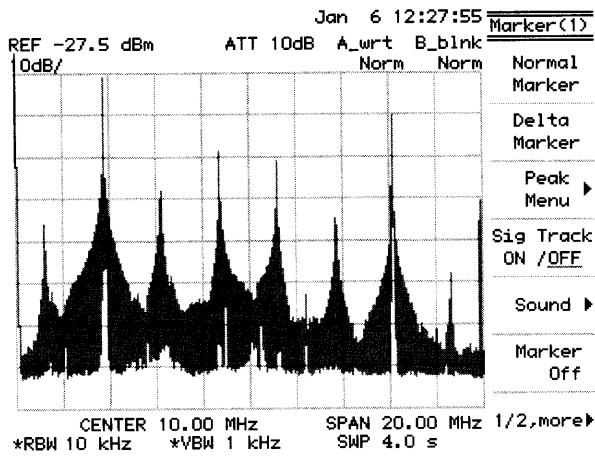
近似を非常に小さい誤差で行えることを示した。また、提案する DDS を FPGA に実装し、その出力スプリアスの測定を行った。その結果、補間のステージ数を増やすことで不要スプリアスの低減が可能であることを示した。

提案する PAC では、演算によるハードウェアの増加を代償として、必要な ROM サイズを小さくしている。そして、4 ステージのパイプライン処理と並列処理により、演算ハードウェアの増加による動作速度低下を押さえている。

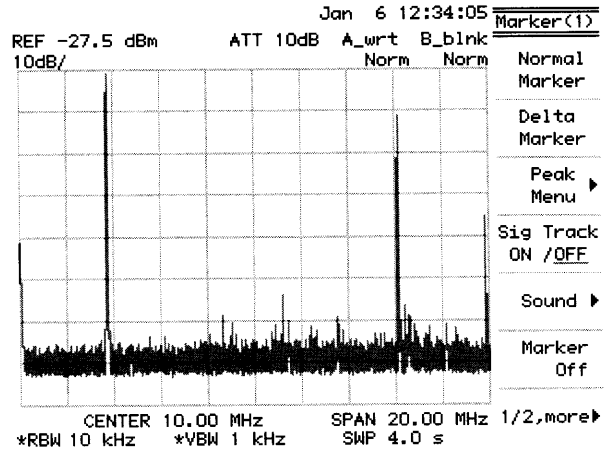
今後の課題は、これらの演算回路により増加した回路の削減である。

## 参考文献

- [1] J. Tierney, C. rader and B. Gold, "A Digital Frequency Synthesizer," *IEEE Trans. on Audio and Electroacoustics*, vol. AU-19, no.1, pp.48-57, March 1971.
- [2] A. Bellaouar *et al.*, "Low-power direct digital frequency synthesis for wireless communications," *IEEE J. Solid-State Circuits*, vol. 35, no.3, pp.385-390, March 2000.
- [3] J. M. P. Langlois and D. Al-Khalili, "Hardware optimized direct digital frequency synthesizer architecture with 60 dBc spectra purity," *Proc. IEEE ISCAS 2002*, vol. V, pp.361-364, May 2002.

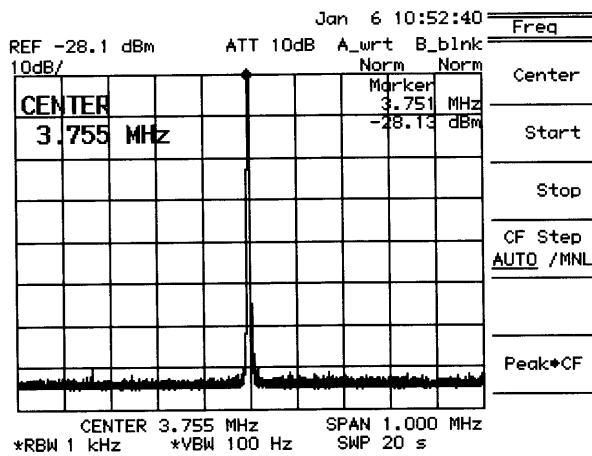


(A)

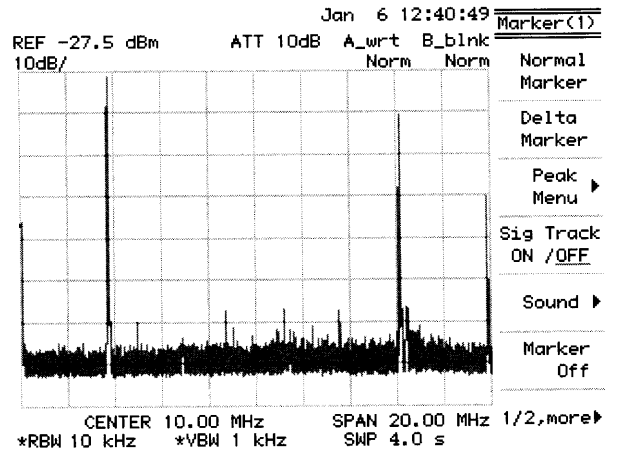


(B)

図 9: 提案する DDS の出力スペクトル (広帯域レンジによる測定結果,  $K = 3150097$ ), (A) 補間なし, (B) ステージ数 3 の補間



(A)



(B)

図 10: ROM による PAC を用いた DDS の出力スペクトル, ( $K = 3150097$ ), (A) 近接スペクトル, (B) 広帯域レンジによる測定結果